

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 3 月 20 日 (20.03.2003)

PCT

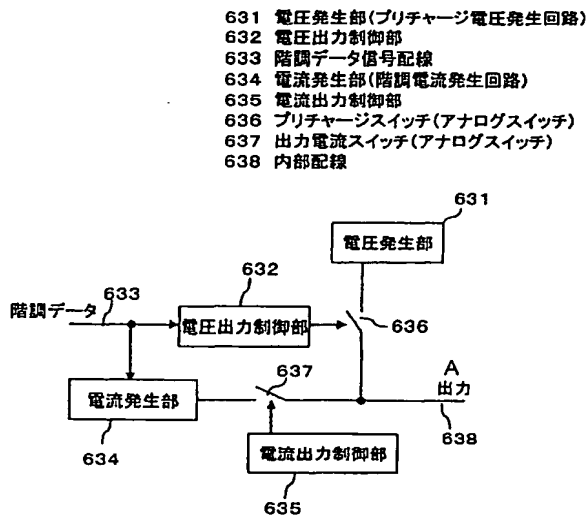
(10) 国際公開番号
WO 03/023752 A1

- (51) 国際特許分類⁷: G09G 3/30 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP02/09112
- (22) 国際出願日: 2002 年 9 月 6 日 (06.09.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-271311 2001 年 9 月 7 日 (07.09.2001) JP
特願2001-347014 2001 年 11 月 13 日 (13.11.2001) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 柘植 仁志 (TSUGE, Hitoshi) [JP/JP]; 〒571-0074 大阪府 門真市 宮前町 16-1-314 Osaka (JP). 高原 博司 (TAKAHARA, Hiroshi) [JP/JP]; 〒572-0807 大阪府 寝屋川市 大字太秦 1011-1-345-C-345 Osaka (JP).
- (74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒650-0031 兵庫県 神戸市中央区 東町123番地の1 貿易ビル3階 有古特許事務所 Hyogo (JP).

[続葉有]

(54) Title: EL DISPLAY, EL DISPLAY DRIVING CIRCUIT AND IMAGE DISPLAY

(54) 発明の名称: EL 表示装置と EL 表示装置の駆動回路および画像表示装置



(57) Abstract: An EL display comprising EL light emitting elements, a current drive device for driving the EL light emitting elements with a current corresponding to a source signal represented by a current, and a signal current source (634) outputting the source signal through a source signal line to the current drive device depending on a video signal. The EL display further comprises a precharge voltage source (631) outputting a specified voltage, and switching/connecting means (636, 637) which can connect the signal current source (634) or the precharge voltage source (631) with a source signal line (638) while switching.

631...VOLTAGE GENERATING SECTION (PRECHARGE VOLTAGE GENERATING CIRCUIT)
632...VOLTAGE OUTPUT CONTROL SECTION
633...GRADATION DATA SIGNAL LINE
634...CURRENT GENERATING SECTION (GRADATION CURRENT GENERATING CIRCUIT)
635...CURRENT OUTPUT CONTROL SECTION
636...PRECHARGE SWITCH (ANALOG SWITCH)
637...OUTPUT CURRENT SWITCH (ANALOG SWITCH)
638...INTERNAL LINE
A...OUTPUT

[続葉有]



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明に係るEL表示装置は、EL発光素子と、電流で表されるソース信号に応じた電流によってEL発光素子を駆動する電流駆動デバイスと、映像信号に応じて前記ソース信号をソース信号線を通じて前記電流駆動デバイスに出力する信号用電流源(634)とを備えたEL表示装置において、所定電圧を出力するプリチャージ用電圧源(631)と、信号用電流源(634)とプリチャージ用電圧源(631)とを切り換えてソース信号線(638)に接続可能な切換接続手段(636,637)とをさらに備えたものである。

明 細 書

E L 表示装置と E L 表示装置の駆動回路および画像表示装置

5

〔技術分野〕

本発明は、有機または無機エレクトロルミネッセンス（E L）素子を用いた E L 表示パネルなどの自発光表示パネルに関するものである。また、E L 表示パネルの駆動方法と駆動回路およびそれらを用いた電子表示機器などに関するものである。

〔技術背景〕

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（E L）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。

液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機 E L 表示パネルは各画素に発光素子を有する自発光型である。そのため、有機 E L 表示パネルなどの自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

有機 E L 表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。

有機EL表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、
5 比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（TFT）によって制御する。

このアクティブマトリクス方式の有機EL表示パネルは、特開平8-
10 234683号公報に開示されている。この表示パネルの一画素分の等価回路を第62図に示す。画素16は発光素子であるEL素子15、第1のトランジスタ11a、第2のトランジスタ11bおよび蓄積容量19を備えている。発光素子15は有機エレクトロルミネッセンス（EL）素子である。本発明では、EL素子15に電流を供給（制御）する
15 トランジスタ11aを駆動用トランジスタ11と呼ぶ。また、第62図のトランジスタ11bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ11と呼ぶ。

有機EL素子15は多くの場合、整流性があるため、OLED（有機発光ダイオード）と呼ばれることがある。第62図では発光素子OLED
20 D15としてダイオードの記号を用いている。

ただし、本発明における発光素子15はOLEDに限るものではなく、素子15に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機EL素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示
25 される。その他、発光トランジスタでもよい。また、発光素子15は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。

第62図の例では、Pチャンネル型のトランジスタ11aのソース端

子 (S) を V_{dd} (電源電位) とし、EL 素子 15 のカソード (陰極) は接地電位 (V_k) に接続される。一方、アノード (陽極) はトランジスタ 11b のドレイン端子 (D) に接続されている。一方、P チャンネル型のトランジスタ 11a のゲート端子はゲート信号線 17a に接続され、ソース端子はソース信号線 18 に接続され、ドレイン端子は蓄積容量 19 およびトランジスタ 11a のゲート端子 (G) に接続されている。

画素 16 を動作させるために、まず、ゲート信号線 17a を選択状態とし、ソース信号線 18 に輝度情報を表す映像信号を印加する。すると、トランジスタ 11a が導通し、蓄積容量 19 が充電又は放電され、トランジスタ 11b のゲート電位は映像信号の電位に一致する。ゲート信号線 17a を非選択状態とすると、トランジスタ 11a がオフになり、トランジスタ 11b は電氣的にソース信号線 18 から切り離される。しかし、トランジスタ 11a のゲート電位は蓄積容量 19 によって安定に保持される。トランジスタ 11a を介して発光素子 15 に流れる電流は、トランジスタ 11a のゲート/ソース端子間電圧 V_{gs} に応じた値となり、発光素子 15 はトランジスタ 11a を通って供給される電流量に応じた輝度で発光し続ける。

以上の第 6 2 図の構成例は、1 画素が、1 つの選択トランジスタ (スイッチング素子) と、1 つの駆動用トランジスタで構成されたものである。その他の構成例として、特願平 11-327637 号公報に例示された構成がある。前記公報には、画素がカレントミラー回路で構成された実施例が示されている。

第 6 2 図などのソースドライバ 14 から映像信号を電圧で出力する方式では、ソースドライバ 14 の出力段インピーダンスが低い。そのため、ソース信号線 18 への映像信号の書込みは容易である。

第 1 図あるいは特願平 11-327637 のカレントミラー構成などの映像信号を電流で出力する方式では、ソースドライバ 14 の出力段

インピーダンスが高い。そのため、ソース信号線 18 への映像信号の書込みが黒表示領域において困難になるという課題がある。第 2 図はその理由を説明する説明図である。

第 2 図の各画素 16 の発光素子 15 を表示させるには、1 水平走査期間内でゲート信号線 17 a によりトランジスタ 11 b および 11 c を導通状態とし、電源 V d d より駆動用トランジスタ 11 a およびソース信号線 18 を介してソースドライバ 14 に電流 I w を引き込ませる。この時の電流量の大小により階調表示を行う。蓄積容量 19 にはトランジスタ 11 a のドレイン電流に対応するゲート電圧に応じた電荷が蓄積される。

その後、ゲート信号線 17 b によりトランジスタ 11 d を導通させ、ゲート信号線 17 a によりトランジスタ 11 b、11 c を非導通状態とし、V d d より蓄積容量 19 の電荷に応じた電流がトランジスタ 11 a を介して発光素子 15 に流れる。

ソース信号線 18 の浮遊容量（寄生容量）641 とトランジスタ 12 a のソースドレイン（S-D）間抵抗の積によりソース信号線 18 に流れる電流は徐々に変化する。そのため、容量値 641 及び抵抗値が大きくなると、1 水平走査期間内に電流が所定の値まで変化しないことがある。

ソース信号線 18 に流れる電流が小さく（低階調に）なるにつれ、トランジスタ 11 a のソースドレイン間抵抗が大きくなるため、電流が小さくなるほど、変化に時間がかかる。トランジスタ 11 a のダイオード特性と、ソース信号線 18 の浮遊容量 641 の容量値によるが、例えばソース信号線 18 に流す電流が $1 \mu\text{A}$ に変化するのに $50 \mu\text{s}$ かかるのに対し、 10 nA に変化するのには $250 \mu\text{s}$ かかる。

ソース信号線 18 に流れる電流値は V d d からトランジスタ 12 a を介して、電荷をソース信号線 18 に供給し、浮遊容量 641 の電荷を変化させることで、ソース信号線 18 電圧を変化させ、トランジスタ 1

2 a を流れる電流（＝ソース信号線 18 を流れる電流）が変化する。電荷の供給量が、電流が小さい領域では少ないため、ソース信号線 18 の電圧変化が遅くなり、その結果電流値の変化も遅くなる。

これにより水平走査期間を短くすることができず、表示行数によって
5 はフレーム周波数の低下によりフリッカが発生するという課題がある。

〔発明の開示〕

本発明はこのような課題を解決するためになされたもので、フレーム周波数の低下によるフリッカの発生を防止することを目的としている。

この目的を達成するために、本発明に係る EL 表示装置は、EL 発光
10 素子と、電流で表されるソース信号に応じた電流によって前記 EL 発光素子を駆動する電流駆動デバイスと、映像信号に応じて前記ソース信号をソース信号線を通じて前記電流駆動デバイスに出力する信号用電流源とを備えた EL 表示装置において、所定電圧を出力するプリチャージ用電圧源と、前記信号用電流源と前記プリチャージ用電圧源とを切り換
15 えて前記ソース信号線に接続可能な切換接続手段とをさらに備えたものである。

かかる構成とすると、ソース信号線にソース信号電流を出力するばかりでなく、最も書きこみにくい低階調時の電流が流れる時のソース信号線に、プリチャージ用電圧を印加することができる。その結果、出力インピーダンスの低い電圧源によってソース信号線の浮遊容量を速やかに充電できるため、電流駆動デバイスの電流値の変化を速くすることができる。これにより、水平走査期間を短くことができ、フレーム周波数の低下によるフリッカの発生を防止することができる。

前記切換接続手段は、1 水平走査期間内において前記所定電圧が前記
25 ソース信号線に印加された後、前記ソース信号が前記ソース信号線に出力されるよう、前記プリチャージ用電圧源及び前記信号用電流源を前記ソース信号に接続してもよい。かかる構成とすると、ソース信号線の浮遊容量を速やかに充電して、電流駆動デバイスの電流値の変化を速くす

ることができる。

また、前記所定電圧の印加期間が $0.2 \mu s$ 以上 $3 \mu s$ 以下であるのが好ましい。かかる構成とすると、好適に電流駆動デバイスの電流値の変化を速くすることができる。

- 5 また、前記電流駆動デバイスが前記ソース信号線に接続された制御端子の電圧に応じた電流によって前記 EL 発光素子を駆動するものであり、前記所定電圧は、前記電流駆動デバイスが前記 EL 発光素子を黒表示するよう駆動する電圧であるとしてもよい。かかる構成とすると、低階調時における電流駆動デバイスの電流値の変化を効果的に速くする
- 10 ことができる。

- また、前記電流駆動デバイスが前記ソース信号線に接続された制御端子の電圧に応じた電流によって前記 EL 発光素子を駆動するものであり、前記所定電圧が、前記映像信号の階調情報に応じたものであるとしてもよい。かかる構成とすると、ソース信号による階調の調整量を少なく
- 15 することができるので、より速く電流駆動デバイスの電流値を変化させることができる。

- また、前記切換接続手段は、前記映像信号の階調情報が所定のものである場合に前記プリチャージ用電圧源を前記ソース信号線に接続してもよい。かかる構成とすると、元々電流駆動デバイスの電流値変化が速い高階調時や同じ階調が続くときにはプリチャージ電圧を印加しない
- 20 ようにすることにより、そのような場合における輝度低下を防ぐことができる。

- また、複数種類の色を発光する複数の前記 EL 発光素子が前記色毎に複数の前記ソース信号線にそれぞれ接続され、前記プリチャージ用電圧
- 25 源は、前記色毎に定められた前記所定電圧を前記ソース信号線にそれぞれ出力してもよい。EL 発光素子の立ち上がり電圧は発光色によって異なるが、かかる構成とすると、発光色に最適なプリチャージ電圧を印加することができるので、好適にカラー表示することができる。

また、前記電流駆動デバイスがトランジスタからなってもよい。
かかる構成とすると、プログラム電流方式でEL発光素子を駆動することができる。

また、前記電流駆動デバイスがカレントミラー回路からなっても
5 よい。

また、複数の画素がマトリクス状に配置され、前記画素毎に前記EL
発光素子及び前記電流駆動デバイスが配設され、列又は行毎に前記ソー
ス信号線が配設され、各列又は行の前記電流駆動デバイスが選択可能に
各ソース信号線に接続され、前記信号用電流源、前記プリチャージ用電
10 圧源、及び前記切換接続手段が前記ソース信号線毎に設けられ、前記複
数の画素の前記電流駆動デバイスを行又は列毎に選択するゲート信号
を伝達するための複数のゲート線が配設され、前記ゲート信号を前記複
数のゲート線に出力するゲートドライバが設けられてもよい。

また、本発明に係る電子表示機器は、複数の画素がマトリクス状に配
15 置され、前記画素毎に前記EL発光素子及び前記電流駆動デバイスが配
設され、列又は行毎に前記ソース信号線が配設され、各列又は行の前記
電流駆動デバイスが選択可能に各ソース信号線に接続され、前記信号用
電流源、前記プリチャージ用電圧源、及び前記切換接続手段が前記ソー
ス信号線毎に設けられ、前記複数の画素の前記電流駆動デバイスを行又
20 は列毎に選択するゲート信号を伝達するための複数のゲート線が配設
され、前記ゲート信号を前記複数のゲート線に出力するゲートドライバ
が設けられた請求の範囲第1項記載のEL表示装置からなる画像表示
部と、受話器と、スピーカーとを備えたものである。かかる構成とする
と、フレーム周波数の低下によるフリッカの発生を防止可能なEL表示
25 方式の電子表示機器を実現することができる。

また、本発明に係るEL表示装置の駆動回路は、複数の単位電流源と、
前記単位電流源から出力される電流を規定する基準電流発生回路と、前
記単位電流源の出力端に配設された複数の電流スイッチ回路と、一端が

第 1 の切換スイッチを介して前記複数の電流スイッチ回路にそれぞれ接続され、他端がソース信号線に接続される電流配線と、所定電圧を出力し第 2 の切換スイッチを介して前記電流配線に接続されたプリチャージ用電圧源とを備え、前記電流スイッチ回路が、映像信号の階調情報
5 に応じてオンオフされ、前記第 1, 第 2 の切換スイッチが前記電流スイッチ回路と前記プリチャージ用電圧源とを切り換えて前記ソース信号線に接続するものである。

かかる構成とすると、フレーム周波数の低下によるフリッカの発生を防止可能な EL 表示装置の駆動回路を実現できる。

10 前記複数の単位電流源は、2 の倍数の個数ごとに並列に 1 つの前記電流スイッチに接続されていてもよい。かかる構成とすると、デジタルの階調情報に対応してソース信号を出力することができる。

また、前記基準電流発生回路はオペアンプ回路を有し、該オペアンプ回路が前記単位電流源から出力される電流を規定してもよい。

15 本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

〔図面の簡単な説明〕

第 1 図は、本発明の表示パネルの画素構成図である。

第 2 図は、本発明の表示パネルの画素構成図である。

20 第 3 図は、本発明の表示パネルの動作の説明図である。

第 4 図は、本発明の表示パネルの動作の説明図である。

第 5 図は、本発明の表示装置の駆動方法の説明図である。

第 6 図は、本発明の表示装置の構成図である。

第 7 図は、本発明の表示パネルの製造方法の説明図である。

25 第 8 図は、本発明の表示装置の構成図である。

第 9 図は、本発明の表示装置の構成図である。

第 10 図は、本発明の表示パネルの断面図である。

第 11 図は、本発明の表示パネルの断面図である。

第 1 2 図は、本発明の表示パネルの説明図である。

第 1 3 図は、本発明の表示装置の駆動方法の説明図である。

第 1 4 図は、本発明の表示装置の駆動方法の説明図である。

第 1 5 図は、本発明の表示装置の駆動方法の説明図である。

5 第 1 6 図は、本発明の表示装置の駆動方法の説明図である。

第 1 7 図は、本発明の表示装置の駆動方法の説明図である。

第 1 8 図は、本発明の表示装置の駆動方法の説明図である。

第 1 9 図は、本発明の表示装置の駆動方法の説明図である。

第 2 0 図は、本発明の表示装置の駆動方法の説明図である。

10 第 2 1 図は、本発明の表示装置の駆動方法の説明図である。

第 2 2 図は、本発明の表示装置の駆動方法の説明図である。

第 2 3 図は、本発明の表示装置の駆動方法の説明図である。

第 2 4 図は、本発明の表示装置の駆動方法の説明図である。

第 2 5 図は、本発明の表示装置の駆動方法の説明図である。

15 第 2 6 図は、本発明の表示装置の駆動方法の説明図である。

第 2 7 図は、本発明の表示装置の駆動方法の説明図である。

第 2 8 図は、本発明の表示装置の駆動方法の説明図である。

第 2 9 図は、本発明の表示装置の駆動方法の説明図である。

第 3 0 図は、本発明の表示装置の駆動方法の説明図である。

20 第 3 1 図は、本発明の表示装置の駆動方法の説明図である。

第 3 2 図は、本発明の表示装置の駆動方法の説明図である。

第 3 3 図は、本発明の表示装置の駆動方法の説明図である。

第 3 4 図は、本発明の表示装置の構成図である。

第 3 5 図は、本発明の表示装置の駆動方法の説明図である。

25 第 3 6 図は、本発明の表示装置の駆動方法の説明図である。

第 3 7 図は、本発明の表示装置の構成図である。

第 3 8 図は、本発明の表示装置の構成図である。

第 3 9 図は、本発明の表示装置の駆動方法の説明図である。

第 4 0 図は、本発明の表示装置の構成図である。

第 4 1 図は、本発明の表示装置の構成図である。

第 4 2 図は、本発明の表示パネルの画素構成図である。

第 4 3 図は、本発明の表示パネルの画素構成図である。

5 第 4 4 図は、本発明の表示装置の駆動方法の説明図である。

第 4 5 図は、本発明の表示装置の駆動方法の説明図である。

第 4 6 図は、本発明の表示装置の駆動方法の説明図である。

第 4 7 図は、本発明の表示パネルの画素構成図である。

第 4 8 図は、本発明の表示装置の構成図である。

10 第 4 9 図は、本発明の表示装置の駆動方法の説明図である。

第 5 0 図は、本発明の表示パネルの画素構成図である。

第 5 1 図は、本発明の表示パネルの画素図である。

第 5 2 図は、本発明の表示装置の駆動方法の説明図である。

第 5 3 図は、本発明の表示装置の駆動方法の説明図である。

15 第 5 4 図は、本発明の表示パネルの画素構成図である。

第 5 5 図は、本発明の表示装置の駆動方法の説明図である。

第 5 6 図は、本発明の表示装置の駆動方法の説明図である。

第 5 7 図は、本発明の携帯電話の説明図である。

第 5 8 図は、本発明のビューファインダの説明図である。

20 第 5 9 図は、本発明のビデオカメラの説明図である。

第 6 0 図は、本発明のデジタルカメラの説明図である。

第 6 1 図は、本発明のテレビ（モニター）の説明図である。

第 6 2 図は、従来の表示パネルの画素構成図である。

第 6 3 図は、本発明の駆動回路のブロック図である。

25 第 6 4 図は、本発明の駆動回路の説明図である。

第 6 5 図は、本発明の駆動回路の説明図である。

第 6 6 図は、本発明の駆動回路の説明図である。

第 6 7 図は、本発明の駆動回路の説明図である。

第 6 8 図は、本発明の駆動回路の説明図である。

第 6 9 図は、本発明の駆動回路の説明図である。

第 7 0 図は、本発明の駆動回路の説明図である。

第 7 1 図は、本発明の駆動回路のブロック図である。

5 第 7 2 図は、本発明の駆動回路の説明図である。

第 7 3 図は、本発明の駆動方法の説明図である。

第 7 4 図は、本発明の駆動回路の説明図である。

第 7 5 図は、本発明の駆動回路の説明図である。

第 7 6 図は、本発明の駆動回路の説明図である。

10 [発明を実施するための最良の形態]

以下、本発明の実施の形態について、図面を参照しながら説明する。

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、第 1 1 図に図示する表示パネルの断面図では封止膜 1 1 1 などを十分
15 厚く図示している。一方、第 1 0 図において、封止フタ 8 5 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は
20 同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、第 8 図の表示パネルにタッチ
25 表示機器とすることができる。また、拡大レンズ 5 8 2 を取り付け、ビデオカメラ（第 5 9 図など参照のこと）などに用いるビューファインダ（第 5 8 図を参照のこと）を構成することもできる。また、第 4 図、第 1 5 図、第 1 8 図、第 2 1 図、第 2 3 図などで説明した本発明の駆動方

法は、いずれの本発明の表示装置または表示パネルに適用することができる。

5 なお、本明細書では、駆動用トランジスタ（電流駆動デバイス）11a、スイッチング用トランジスタ11bから11dは薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したものでよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、パリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子11、駆動用素子11として構成するものはこれらのいずれでも使用することができる。

15 以下、本発明のELパネルについて図面を参照しながら説明をする。有機EL表示パネルは、第10図に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）15、及び金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極（カソード）にマイナスの電圧を20 加え、すなわち、透明電極105及び金属電極106間に直流を印加することにより、有機機能層（EL層）15が発光する。

25 アノードあるいはカソードへ電流を供給する配線（第8図のカソード配線86、アノード配線87）には大きな電流が流れる。たとえば、EL表示装置の画面サイズが40インチサイズになると100（A）程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線（EL素子に発光電流を供給する配線）を薄膜で形成する。そして、

この薄膜配線に電解めっき技術あるいは無電解めっき技術で配線の厚みを厚く形成している。

めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成し、配線を補強してもよい。また、必要に応じて、配線に積層してグランドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DC-DCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DC-DCコンバータ、トランスなどが例示される。

金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

なお、画素電極105などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜15を成膜するとよい。また、画素電極105としてのITO上にカーボン膜を20以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。ま

た、EL膜15は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいことは言うまでもない

5 なお、封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。乾燥剤107によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

10 第10図はガラスのフタ85を用いて封止する構成であるが、第11図のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）111を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜111として用いる。また、DLC膜などを電極106の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

15 薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）にして計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

25 以上のようにフタ85を用いず、封止膜111で封止する構成を薄膜封止と呼ぶ。基板71側から光を取り出す「下取り出し（第10図を参照、光取り出し方向は第10図の矢印方向である）」の場合の薄膜封止は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層として

は、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜 74 を形成する。緩衝膜がないと、応力により EL 膜の構造が崩れ、筋状に欠陥が発生する。封止膜 111 は前述したように、DLC（ダイヤモンド ライク カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

EL 層 15 側から光を取り出す「上取り出し第 11 図を参照、光取り出し方向は第 11 図の矢印方向である」の場合の薄膜封止は、EL 膜 15 を形成後、EL 膜 15 上にカソード（アノード）となる Ag-Mg 膜を 20 オングストローム以上 300 オングストロームの膜厚で形成する。その上に、ITO などの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜 111 を形成する。

有機 EL 層 15 から発生した光の半分は、反射膜 106 で反射され、アレイ基板 71 と透過して出射される。しかし、反射膜 106 には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板 71 に $\lambda/4$ 板 108 および偏光板（偏光フィルム）109 を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

なお、画素が反射電極の場合は EL 層 15 から発生した光は上方向に出射される。したがって、位相板 108 および偏光板 109 は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極 105 を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極 105 の表面に、凸部（もしくは凹凸部）を設けることで有機 EL 層 15 との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード 106（アノード 105）となる反射膜を透明電極に形成する、あるいは反射率を 30% 以下に低減できる場合は、円

偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

トランジスタ 11 は LDD (ロー ドーピング ドレイン) 構造を採用することが好ましい。また、本明細書では EL 素子として有機 EL 素子 (OEL、PEL、PLED、OLED など多種多様な略称で記述される) 15 を例にあげて説明するがこれに限定するものではなく、無機 EL 素子にも適用されることは言うまでもない。

まず、有機 EL 表示パネルに用いられるアクティブマトリクス方式は、

1. 特定の画素を選択し、必要な表示情報を与えられること。
 - 10 2. 1 フレーム期間を通じて EL 素子に電流を流すことができること
- という 2 つの条件を満足させなければならない。

この 2 つの条件を満足させるため、第 6 2 図に図示する従来の有機 EL の画素構成では、第 1 のトランジスタ 11 b は画素を選択するためのスイッチング用トランジスタ、第 2 のトランジスタ 11 a は EL 素子 (EL 膜) 15 に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ 11 a のゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ 11 a のオン電流のばらつきがそのまま表示に現れる。

20 トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 450 度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが $\pm 0.2 \text{ V} \sim 0.5 \text{ V}$ の範囲でばらつきがある。そのため、駆動用トランジスタ 11 a を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ 11 の劣化によっても特性は変化する。

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度（摂氏）以上の高温ポリシリコン技術でも、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したもので発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。したがって、以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

したがって、第62図のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内に抑えるというスペックを満足できない。

本発明のEL表示装置の画素構造は、具体的には第1図に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにEL素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイパーチャ（HA）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線（第1の走査線）17aをアクティブ（ON電圧を印加）とすることによりEL素子15の駆動用のトランジスタ11aおよびスイッチ用トランジスタ11cを通して、前記EL素子15に流すべき電流値をソースドライバ14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するようにトランジスタ11bがゲート信号線17aアクティブ（ON電圧を印加）となることにより開くと共に、トランジスタ11aのゲートとソース間に接続されたコンデンサ（キャ

パシタ、蓄積容量、付加容量) 19 にトランジスタ 11a のゲート電圧 (あるいはドレイン電圧) を記憶する (第 3 図 (a) を参照のこと)。

5 なお、トランジスタ 11 a のソース (S) - ゲート (G) 間容量 (コンデンサ) 19 は 0.2 pF 以上の容量とすることが好ましい。他の構成として、別途、コンデンサ 19 を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。トランジスタ 11 c のリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。

10 なお、コンデンサ（蓄積容量）19の大きさは、0.2 pF以上2 pF以下とすることがよく、中でもコンデンサ（蓄積容量）19の大きさは、0.4 pF以上1.2 pF以下とすることがよい。画素サイズを考慮してコンデンサ19の容量を決定する。1画素に必要な容量をC_s（pF）とし、1画素が占める面積（開口率ではない）をS_p（平方μm）とすれば、500/S ≤ C_s ≤ 20000/Sとし、さらに好ましくは、1000/S_p ≤ C_s ≤ 10000/S_pとなるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうQとは、蓄積容量（コンデンサ）19単独の容量である。

コンデンサ 19 は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機 EL 15 を作成する場合、有機 EL 層 15 をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによる EL 層の形成位置が発生する。位置ずれが発生すると各色の有機 EL 層 15 (15 R、15 G、15 B) が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は 10μ 以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量 19 をこの領域に形成することは開口率向上のために有効な手段となる。

次に、ゲート信号線 17 a を非アクティブ（OFF 電圧を印加）、ゲ

ート信号線 17 b をアクティブとして、電流の流れる経路を前記第 1 のトランジスタ 11 a 並びに E L 素子 15 に接続されたトランジスタ 11 d ならびに前記 E L 素子 15 を含む経路に切り替えて、記憶した電流を前記 E L 素子 15 に流すように動作する(第 3 図(b)を参照のこと)。

- 5 この回路は 1 画素内に 4 つのトランジスタ 11 を有しており、トランジスタ 11 a のゲートはトランジスタ 11 b のソースに接続されている。また、トランジスタ 11 b およびトランジスタ 11 c のゲートはゲート信号線 17 a に接続されている。トランジスタ 11 b のドレインはトランジスタ 11 c のソースならびにトランジスタ 11 d のソースに
10 接続され、トランジスタ 11 c のドレインはソース信号線 18 に接続されている。トランジスタ 11 d のゲートはゲート信号線 17 b に接続され、トランジスタ 11 d のドレインは E L 素子 15 のアノード電極に接続されている。

- 15 なお、第 1 図ではすべてのトランジスタは P チャンネルで構成している。P チャンネルは多少 N チャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は E L 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

- 20 なお、第 1 図においてトランジスタ 11 c、11 b は同一の極性で構成し、かつ N チャンネルで構成し、トランジスタ 11 a、11 d は P チャンネルで構成することが好ましい。一般的に P チャンネルトランジスタは N チャンネルトランジスタに比較して、信頼性が高い、キルク電流が少ないなどの特長があり、電流を制御することによって目的とする発
25 光強度を得る E L 素子 15 に対しては、トランジスタ 11 a を P チャンネルにする効果大きい。

最適には画素を構成するトランジスタ 11 をすべて P チャンネルで形成し、内蔵ゲートドライバ 12 も P チャンネルで形成することが好ま

しい。このようにアレイをPチャンネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について第3図を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bならびにトランジスタ11cがONすることにより、等価回路として第3図(a)となる。ここで、信号線から所定の電流 I_w が書き込まれる。これによりトランジスタ11aはゲートとドレインが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 I_w が流れる。従って、トランジスタ11aのゲート-ソースの電圧は I_1 が流れるような電圧となる。

第2のタイミングはトランジスタ11aとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は第3図(b)となる。トランジスタ11aのソース-ゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 I_w の電流は一定となる。

このように動作させると、第5図に図示するようになる。つまり、第5図(a)の51aは表示画面50における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。この画素(行)51aは、第5図(b)に図示するように非点灯(非表示画素(行))とする。他の、画素(行)は表示画素(行)53とする(非画素53のEL素子15には電流が流れ、EL素子15が発光している)。

第1図の画素構成の場合、第3図(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジ

スタ 1 1 d はオープン状態（オフ状態）である。

次に、E L 素子 1 5 に電流を流す期間は第 3 図（b）のように、トランジスタ 1 1 c、1 1 b がオフし、トランジスタ 1 1 d が動作する。つまり、ゲート信号線 1 7 a にオフ電圧（V g h）が印加され、トランジスタ 1 1 b、1 1 c がオフする。一方、ゲート信号線 1 7 b にオン電圧（V g l）が印加され、トランジスタ 1 1 d がオンする。

このタイミングチャートを第 4 図に図示する。なお、第 4 図などにおいて、括弧内の添え字（たとえば、（1）など）は画素行の番号を示している。つまり、ゲート信号線 1 7 a（1）とは、画素行（1）のゲート信号線 1 7 a を示している。また、第 4 図の上段の * H（「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、1 H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（1 H の番号、1 H 周期、画素行番号の順番など）するものではない。

第 4 図でわかるように、各選択された画素行（選択期間は、1 H としている）において、ゲート信号線 1 7 a にオン電圧が印加されている時には、ゲート信号線 1 7 b にはオフ電圧が印加されている。また、この期間は、E L 素子 1 5 には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線 1 7 a にオフ電圧が印加され、ゲート信号線 1 7 b にはオン電圧が印加されている。また、この期間は、E L 素子 1 5 に電流が流れている（点灯状態）。

なお、トランジスタ 1 1 a のゲートとトランジスタ 1 1 c のゲートは同一のゲート信号線 1 1 a に接続している。しかし、トランジスタ 1 1 a のゲートとトランジスタ 1 1 c のゲートとを異なるゲート信号線 1 1 に接続してもよい（第 3 2 図を参照のこと）。1 画素のゲート信号線は 3 本となる（第 1 図の構成は 2 本である）。トランジスタ 1 1 b のゲートの ON/OFF タイミングとトランジスタ 1 1 c のゲートの ON/OFF タイミングを個別に制御することにより、トランジスタ 1 1 a

のばらつきによるE L素子15の電流値バラツキをさらに低減することができる。

- ゲート信号線17aとゲート信号線17bとを共通にし、トランジスタ11cと11dが異なった導電型（NチャンネルとPチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

- このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ11aのソース（S）－ゲート（G）間容量（コンデンサ）に記憶されない。トランジスタ11cとトランジスタ11dを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ11cがオフしたのちに、トランジスタ11dがオンすることが可能になる。

- ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11eを第2図に示すように、カスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流がより精度よくE L素子15に流すことができるようになる。

- トランジスタ11aの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第1のトランジスタ11aのチャンネル長が $5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャンネル長が $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長Lを長く

した場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキंक効果が低く抑えられるためであると考えられる。

また、画素を構成するトランジスタ 1 1 が、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を 2 回以上スキャンして半導体膜を形成することが好ましい。

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために 4 トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4 つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

また、蓄積容量 1 9 の容量値を C_s 、第 2 のトランジスタ 1 1 b のオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

$$6 < C_s / I_{off} < 18$$

トランジスタ 1 1 b のオフ電流を 5 pA 以下とすることにより、EL を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド間保持できないためである。したがって、コンデンサ 1 9 の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間

の電流値の変動を2%以下に抑えることができる。

また、アクティブマトリクスを構成するトランジスタがp-chポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

- 10 画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のパラツキがトランジスタ11特性のパラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、第1図などの電流プログラムを行う方式では、所定の電流
15 がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

- なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相(CGS)成長による方法
20 法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

- この課題に対して、本発明では第7図に示すように、アニールの時のレーザー照射スポット(レーザー照射範囲)72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、第72図のR、G、Bを1画素16という単位でレーザーを照射してもよい(この場合は、3画素列ということになる)。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオ
- 25

オーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

画素はR, G, Bの3画素で正方形の形状となるように作製されている。したがって、R, G, Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、
5 1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性
10 が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

一般的にレーザー照射スポット72の長さは10インチというように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまる
15 ようにパネルを配置する必要がある（つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする）。

第7図の構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー
20 73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるようにレー
25 ザー照射スポット72を照射してアニールを順次行う。

第7図で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザースポットを照射する方式）は、有機EL表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、

ソース信号線に平行方向にトランジスタ 11 の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

- 5 たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ 11 a に流す電流はほぼ同一のため、ソースドライバ IC 14 から出力する電流振幅の変化が少ない。もし、第 1 図のトランジスタ 11 a の特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線 18 の電位は一定である。
- 10 したがって、ソース信号線 18 の電位変動は発生しない。1つのソース信号線 18 に接続されたトランジスタ 11 a の特性がほぼ同一であれば、ソース信号線 18 の電位変動は小さいことになる。このことは、第 38 図などの他の電流プログラム方式の画素構成でも同一である（つまり、第 7 図の製造方法を適用することが好ましい）。
- 15 また、第 27 図、第 30 図などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。第 27 図などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ 14 で吸収
- 20 できる。

なお、第 7 図では、ソースドライバ 14 は、IC チップを積載するように図示しているが、これに限定するものではなく、ソースドライバ 14 を画素 16 と同一プロセスで形成してもよいことは言うまでもない。

- 本発明では特に、駆動用トランジスタ 11 b の閾電圧 V_{th2} が画素
- 25 内で対応する駆動用トランジスタ 11 a の閾電圧 V_{th1} より低くならない様に設定している。例えば、トランジスタ 11 b のゲート長 L_2 をトランジスタ 11 a のゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よ

りも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

なお、以上の事項は、第 3 8 図に図示するカレントミラーの画素構成にも適用できる。第 3 8 図では、信号電流が流れる駆動用トランジスタ 1 1 a、E L 素子 1 5 等からなる発光素子に流れる駆動電流を制御する
5 駆動用トランジスタ 1 1 b の他、ゲート信号線 1 7 a 1 の制御によって画素回路とデータ線 d a t a とを接続もしくは遮断する取込用トランジスタ 1 1 c、ゲート信号線 1 7 a 2 の制御によって書き込み期間中にトランジスタ 1 1 a のゲート・ドレインを短絡するスイッチ用トラン
10 ジスタ 1 1 d、トランジスタ 1 1 a のゲート・ソース間電圧を書き込み終了後も保持するための容量 C 1 9 および発光素子としての E L 素子 1 5 などから構成される。

第 3 8 図でトランジスタ 1 1 c、1 1 d は N チャンネルトランジスタ、その他のトランジスタは P チャンネルトランジスタで構成しているが、
15 これは一例であって、必ずしもこの通りである必要はない。容量 C s は、その一方の端子をトランジスタ 1 1 a のゲートに接続され、他方の端子は V d d (電源電位) に接続されているが、V d d に限らず任意の一定電位でも良い。E L 素子 1 5 のカソード(陰極)は接地電位に接続されている。

20 次に、本発明の E L 表示パネルあるいは E L 表示装置について説明をする。第 6 図は E L 表示装置の回路を中心とした説明図である。画素 1 6 がマトリクス状に配置または形成されている。各画素 1 6 には各画素の電流プログラムを行う電流を出力するソースドライバ 1 4 が接続されている。ソースドライバ 1 4 の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている(後に説明する)。たとえば、
25 6 4 階調であれば、6 3 個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線 1 8 に印加できるように構成されている。

なお、1つのカレントミラー回路の最小出力電流は10 nA以上50 nAにしている。特にカレントミラー回路の最小出力電流は15 nA以上35 nAにすることがよい。ドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

- 5 また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がR、G、Bでことなる
- 10 からである。

- 有機EL素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することに
- 15 よりアナログ的に基準電流を作成する。

- 本発明において、ソースドライバ14は半導体シリコンチップで形成し、ガラスオンチップ（COG）技術で基板71のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。
- 20

- ソースドライバ14の実装は、COG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブICは電源IC82を別途作製し、3チップ構成としてもよい。
- 25

一方、ゲートドライバ12は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、

ソースドライバ 14 に比較して内部の構造が容易で、動作周波数も低い
ためである。したがって、低温ポリシリ技術で形成しても容易に形成す
ることができ、また、狭額縁化を実現できる。もちろん、ゲートドライ
バ 12 をシリコンチップで形成し、COG 技術などを用いて基板 71 上
5 に実装してもよいことは言うまでもない。また、画素トランジスタなど
のスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形
成してもよく、有機材料で形成（有機トランジスタ）してもよい。

ゲートドライバ 12 はゲート信号線 17a 用のシフトレジスタ回路
61a と、ゲート信号線 17b 用のシフトレジスタ回路 61b とを内蔵
10 する。各シフトレジスタ回路 61 は正相と負相のクロック信号（CLK
x P、CLK x N）、スタートパルス（STx）で制御される。その他、
ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、
シフト方向を上下逆転するアップダウン（UPDWM）信号を付加する
ことが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、
15 そして出力されていることを確認する出力端子などを設けることが好
ましい。なお、シフトレジスタのシフトタイミングはコントロール IC
81 からの制御信号で制御される。また、外部データのレベルシフトを
行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

シフトレジスタ回路 61 のバッファ容量は小さいため、直接にはゲー
ト信号線 17 を駆動することができない。そのため、シフトレジスタ回
路 61 の出力とゲート信号線 17 を駆動する出力ゲート 63 間には少
なくとも 2 つ以上のインバータ回路 62 が形成されている。

ソースドライバ 14 を低温ポリシリなどのポリシリ技術で基板 71
上に直接形成する場合も同様であり、ソース信号線 18 を駆動するトラ
ンスファークゲートなどのアナログスイッチのゲートとソースドライバ
25 14 のシフトレジスタ間には複数のインバータ回路が形成される。以下
の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲー
トあるいはトランスファークゲートなどの出力段間に配置されるインバ

ータ回路に関する事項)は、ソースドライバおよびゲートドライバ回路に共通の事項である。

たとえば、第6図ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファークラックなどのアナログスイッチのゲートに接続されている。

インバータ回路62はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したようにゲートドライバ12のシフトレジスタ回路61の出力端にはインバータ回路62が多段に接続されており、その最終出力が出力ゲート回路63に接続されている。なお、インバータ回路62はPチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

第8図は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロールIC81からソースドライバ14aに供給する信号(電源配線、データ配線など)はフレキシブル基板84を介して供給する。

第8図ではゲートドライバ12の制御信号はコントロールICで発生させ、ソースドライバ14で、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は4~8(V)であるから、コントロールIC81から出力された3.3(V)振幅の制御信号を、ゲートドライバ12が受け取れる5(V)振幅に変換することができる。

ソースドライバ14内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、

画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ 81で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

- 5 なお、第 8 図などにおいて 14 をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、第 8 図などで説明する構成にあっても、第 9 図などで説明する 3 辺
10 フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

- 表示パネルを携帯電話などの電子表示機器に使用する場合、ソースドライバ IC（回路）14、ゲートドライバ IC（回路）12 を第 9 図に示すように、表示パネルの一辺に実装（形成）することが好ましい（な
15 お、このように一辺にドライバ IC（回路）を実装（形成）する形態を 3 辺フリー構成（構造）と呼ぶ。従来は、表示領域の X 辺にゲートドライバ IC 12 が実装され、Y 辺にソースドライバ IC 14 が実装されていた）。画面 50 の中心線が表示装置の中心になるように設計し易く、また、ドライバ IC の実装も容易となるからである。なお、ゲートドラ
20 イバを高温ポリシリコンあるいは低温ポリシリコン技術などで 3 辺フリーの構成で作製してもよい（つまり、第 9 図のソースドライバ 14 とゲートドライバ 12 のうち、少なくとも一方をポリシリコン技術で基板 71 に直接形成する）。

- なお、3 辺フリー構成とは、基板 71 に直接 IC を積載あるいは形成
25 した構成だけでなく、ソースドライバ IC（回路）14、ゲートドライバ IC（回路）12 などを取り付けたフィルム（TCP、TAB 技術など）を基板 71 の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、2 辺に IC が実装あるいは取り付けられていない構成、配置あ

るいはそれに類似するすべてを意味する。

第9図のようにゲートドライバ12をソースドライバ14の横に配置すると、ゲート信号線17は辺Cにそって形成する必要がある。

5 なお、第9図などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

10 C辺に形成するゲート信号線17のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば 7μ 以下で寄生容量の影響が顕著に発生する。さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

15 前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されて
20 いる導電パターン））をゲート信号線17上に配置すればよい。

第9図のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

なお、第9図などにおいて、ゲート信号線17などは表示領域の片側

に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線 17 a を表示領域 50 の右側に配置（形成）し、ゲート信号線 17 b を表示領域 50 の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

- 5 また、ソースドライバ IC 14 とゲートドライバ IC 12 とを 1 チップ化してもよい。1 チップ化すれば、表示パネルへの IC チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライバ IC 内で使用する各種電圧も同時に発生することができる。

- 10 なお、ソースドライバ IC 14、ゲートドライバ IC 12 はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 82 に直接形成してもよいことは言うまでもない。

- 15 第 1 図などで図示した構成では EL 素子 15 のトランジスタ 11 a を介して V d d 電位に接続されている。しかし、各色を構成する有機 EL の駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり 0.01 (A) の電流を流した場合、青 (B) では EL 素子の端子電圧は 5 (V) であるが、緑 (G) および赤 (R) では 9 (V) である。つまり、端子電圧が B と G、R で異なる。したがって、B と G、R では保持するトランジスタ 11 a のソースドレイン電圧 (S D 電圧) が異なる。そのため、各色でトランジスタのソースドレイン電圧 (S D 電圧) 間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態になる。

- 25 この課題に対応するため、少なくとも R、G、B 色のうち、1 つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくは R、G、B 色のうち、1 つの V d d の電位を他色の V d d の電位と異ならせるように構成している。

R, G, BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が7000K以上12000K以下の範囲で、R, G, BのEL素子の端子電圧は10(V)以下となるように材料あるいは構造選定を
5 する必要がある。また、R, G, Bののうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5(V)以内にする必要がある。さらに好ましくは1.5(V)以下にする必要がある。なお、以上の実施例では、色はR, G, Bとしたがこれに限定するものではない。このことは後に説明する。

10 なお、画素は、R, G, Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R, G, B、シアン、イエロー、マゼンダの6色でもよい。R, G, B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大
15 し良好な表示を実現できる。その他、R, G, B、白の4色でもよい。R, G, B、シアン、イエロー、マゼンダ、黒、白の7色でもよいまた、白色発光の画素を表示領域50全体に形成(作製)し、R, G, Bなどのカラーフィルタで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBとイエロー
20 のように塗り分けても良い。以上のように本発明のEL表示装置は、R, G, Bの3原色でカラー表示を行うものに限定されるものではない。

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換に
25 よって作り出す。したがって、R, G, Bの各層を塗り分ける必要がない、R, G, Bの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、R、G、Bの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

R、G、Bなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が7000K（ケルビン）以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルとすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

有機EL15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

この課題に対処するため、本発明ではゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニング

が困難になる。

遮光膜上に20以上100nm以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜上にはハイ
5 ーパーチャ（HA）構造の画素電極が形成される。

ドライバ12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、
10 本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバの電氣的接触が発生する可能性がある。この課題に対処するため、
15 本発明ではドライバ12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバ間が隔離される。したがって、
20 前述の課題を解消することができる。

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、
25 コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。

なお、レーザー光を照射する位置にあたる。カソード膜を除去してお

くことが望ましい。レーザー照射により、コンデンサ 19 の端子電極とカソード膜とがショートすることを防止するためである。

画素 16 のトランジスタ 11 の欠陥は、ドライバ IC 14 などにも影響を与える。例えば、第 56 図では駆動用トランジスタ 11a にソースードレイン (SD) ショート 562 が発生していると、パネルの V_{dd} 電圧がソースドライバ IC 14 に印加される。したがって、ソースドライバ IC 14 の電源電圧は、パネルの電源電圧 V_{dd} と同一かもしくは高くしておくことが好ましい。なお、ソースドライバ IC で使用する基準電流は電子ポリウム 561 で調整できるように構成しておくことが
10 好ましい。

トランジスタ 11a に SD ショート 562 が発生していると、EL 素子 15 に過大な電流が流れる。つまり、EL 素子 15 が常時点灯状態 (輝点) となる。輝点は欠陥として目立ちやすい。たとえば、第 56 図において、トランジスタ 11a のソースードレイン (SD) ショートが発生
15 していると、トランジスタ 11a のゲート (G) 端子電位の大小に関わらず、V_{dd} 電圧から EL 素子 15 に電流が常時流れる (トランジスタ 11d がオンの時)。したがって、輝点となる。

一方、トランジスタ 11a に SD ショートが発生していると、トランジスタ 11c がオン状態の時、V_{dd} 電圧がソース信号線 18 に印加されソースドライバ 14 に V_{dd} 電圧が印加される。もし、ソースドライバ 14 の電源電圧が V_{dd} 以下であれば、耐圧を越えて、ソースドライバ 14 が破壊される恐れがある。そのため、ソースドライバ 14 の電源電圧は V_{dd} 電圧 (パネルの高い方の電圧) 以上にすることが好ましい。
20

トランジスタ 11a の SD ショートなどは、点欠陥にとどまらず、パネルのソースドライバを破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ 11a と EL 素子 15 間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断すること
25

がよい。

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、第1図でもわかるように、トランジスタ11aの電源Vddが、トランジスタ11aのゲート
5 (G) 端子に常時印加されるように修正してもよい。たとえば、コンデンサ19の2つの電極間をショートさせれば、Vdd電圧がトランジスタ11aのゲート(G)端子に印加されるようになる。したがって、トランジスタ11aは完全にオフ状態になり、EL素子15に電流を流さなくすることができる。これば、コンデンサ19にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。
10

また、実際には、画素電極の下層にVdd配線が配置されているから、Vdd配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御(修正)することができる。

その他、トランジスタ11aのSD間(チャンネル)をオープンにすることでも実現できる。簡単にはトランジスタ11aにレーザー光を照射し、トランジスタ11aのチャンネルをオープンにする。同様に、トランジスタ11dのチャンネルをオープンにしてもよい。もちろん、トランジスタ11bのチャンネルをオープンしても該当画素16が選択
15 されないから、黒表示となる。

画素16を黒表示するためには、EL素子15を劣化させてもよい。たとえば、レーザー光をEL層15に照射し、EL層15を物理的にあるいは化学的に劣化させ、発光しないようにする(常時黒表示)。レーザー光の照射によりEL層15を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、EL膜15の化学的変化を容易に行うことができる。
20 25

なお、以上の実施例は、第1図に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの

他の電流駆動の画素構成あるいは第62図、第51図などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。

以下、第1図の画素構成について、その駆動方法について説明をする。第1図に示すように、ゲート信号線17aは行選択期間に導通状態
5 (ここでは第1図のトランジスタ11がpチャネルトランジスタであるためローレベルで導通となる) となり、ゲート信号線17bは非選択期間時に導通状態とする。

ソース信号線18には寄生容量(浮遊容量: 図示せず)が存在する。寄生容量は、ソース信号線18とゲート信号線17とのクロス部の容量、
10 トランジスタ11b、11cのチャンネル容量などにより発生する。

ソース信号線18の電流値変化に要する時間tは浮遊容量の大きさをC、ソース信号線の電圧をV、ソース信号線に流れる電流をIとすると $t = C \cdot V / I$ であるため電流値を10倍大きくできることは電流値変化に要する時間が10分の1近くまで短くできる。またはソース信号線18の寄生容量が10倍になっても所定の電流値に変化できると
15 いうことを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

入力電流を10倍にすると出力電流も10倍となり、ELの輝度が10倍となるため所定の輝度を得るために、第1図のトランジスタ17d
20 の導通期間を従来の10分の1とし、発光期間を10分の1とすることで、所定輝度を表示するようにした。

つまり、ソース信号線18の寄生容量の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムを行うためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとその電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光
25

する。所定の発光輝度にするためには、EL素子15に流れる時間を1/10にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

- 5 なお、10倍の電流値を画素のトランジスタ11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を1/10にするとしたがこれは一例である。場合によっては、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を1/5にしてもよい。逆に10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を1/2倍にする場合
10 もあるであろう。

- 本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N倍の電流値を画素のトランジスタ11に
15 書き込み、EL素子15のオン時間を1/N倍にするとして説明する。しかし、これに限定するものではなく、N1倍の電流値を画素のトランジスタ11に書き込み、EL素子15のオン時間を1/(N2)倍（N1とN2とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全
20 体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、R、G、Bで異なってもよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい

- また、説明を容易にするため、1/Nとは、1F（1フィールドまたは1フレーム）を基準にしてこの1Fを1/Nにするとして説明する。
25 しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（1H））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための

便宜状の問題だけであり、これに限定するものではない。

たとえば、 $N = 10$ 倍の電流で画素 16 に電流プログラムし、 $1/5$ の期間の間、EL 素子 15 を点灯させてもよい。EL 素子 15 は、 $10/5 = 2$ 倍の輝度で点灯する。逆に、 $N = 2$ 倍の電流で画素 16 に電流
5 プログラムし、 $1/4$ の期間の間、EL 素子 15 を点灯させてもよい。EL 素子 15 は、 $2/4 = 0.5$ 倍の輝度で点灯する。つまり、本発明は、 $N = 1$ 倍でない電流でプログラムし、かつ、常時点灯 ($1/1$ 、つまり、間欠駆動でない) 状態以外の表示を実施するものである。また、
10 広義には、EL 素子 15 に供給する電流を 1 フレーム (あるいは 1 フィールド) の期間において、少なくとも 1 回、オフする駆動方式である。また、所定値よりも大きな電流で画素 16 にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機 (無機) EL 表示装置は、CRT のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点
15 にも課題がある。つまり、EL 表示装置では、1 F (1 フィールドあるいは 1 フレーム) の期間の間は、画素に書き込んだ電流 (電圧) を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

本発明では、 $1 F / N$ の期間の間だけ、EL 素子 15 に電流を流し、
20 他の期間 ($1 F (N - 1) / N$) は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では 1 F ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり
25 良好な表示状態を実現できる。つまり、CRT に近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとするすると液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバIC14の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとするすると回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

第1図、第2図、第38図などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 I_w をオフしても、画像データはそのままコンデンサ19の保持されている。したがって、次のタイミングでスイッチング素子11dなどをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、EL表示パネルなど）の問題である動画表示の問題を解決できる。

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を10倍以上にしてやればよい。一般にソース電流値をN倍にした場合、

ゲート信号線 17b (トランジスタ 11d) の導通期間を $1F/N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線 18 の寄生容量は、隣接したソース信号線 18 間の結合容量、ソースドライブ IC (回路) 14 のバッファ出力容量、ゲート信号線 17 とソース信号線 18 とのクロス容量などにより発生する。この寄生容量は通常 10 pF 以上となる。電圧駆動の場合は、ドライバ IC 14 からは低インピーダンスで電圧がソース信号線 18 に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ 19 をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさを発生すると、1 画素行にプログラムする時間 (通常、 1 H 以内、ただし、2 画素行を同時に書き込む場合もある) で 1 H 以内に限定されるものではない。) 内に寄生容量を充放電することができない。1 H 期間で充放電できなければ、画素への書き込み不足となり、解像度がでない。

第 1 図の画素構成の場合、第 3 図 (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 18 に流れる。この電流 I_w がトランジスタ 11a を流れ、 I_w を流す電流が保持されるように、コンデンサ 19 に電圧設定 (プログラム) される。このとき、トランジスタ 11d はオープン状態 (オフ状態) である。

次に、EL 素子 15 に電流を流す期間は第 3 図 (b) のように、トランジスタ 11c、11b がオフし、トランジスタ 11d が動作する。つまり、ゲート信号線 17a にオフ電圧 (V_{gh}) が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17b にオン電圧 (V_{gl}) が印加され、トランジスタ 11d がオンする。

今、電流 I_1 が本来流す電流 (所定値) の N 倍であるとする、第 3

図 (b) の E L 素子 1 5 に流れる電流も I_w となる。したがって、所定値の 10 倍の輝度で E L 素子 1 5 は発光する。つまり、第 1 2 図に図示するように、倍率 N を高くするほど、表示パネルの表示輝度 B も高くなる。したがって、倍率と輝度とは比例関係となる。逆に、 $1/N$ と駆動することにより、輝度と倍率とは反比例の関係となる。

そこで、トランジスタ 1 1 d を本来オンする時間 (約 $1 F$) の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、 $1 F$ 全体の平均輝度は所定の輝度となる。この表示状態は、C R T が電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ (全画面を 1 とする) が点灯している点である (C R T では、点灯している範囲は 1 画素行 (厳密には 1 画素である))。

本発明では、この $1 F/N$ の画像表示領域 5 3 が第 1 3 図 (b) に示すように画面 5 0 の上から下に移動する。本発明では、 $1 F/N$ の期間の間だけ、E L 素子 1 5 に電流が流れ、他の期間 ($1 F \cdot (N-1)/N$) は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

なお、第 1 3 図に図示するように、書き込み画素行 5 1 a は非点灯表示 5 2 a とする。しかし、これは、第 1 図、第 2 図などの画素構成の場合である。第 3 8 図などで図示するカレントミラーの画素構成では、書き込み画素行 5 1 a は点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、第 1 図の画素構成を例示して説明をする。また、第 1 3 図、第 1 6 図などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法を N 倍パルス駆動と呼ぶ。

この表示状態では $1 F$ ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。液晶表示パネル (本発明以外の E L 表示パネル) では、 $1 F$ の期間、画素にデータが保持されているため、動画表

示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

- 5 このタイミングチャートを第14図に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は第1図であるとする。第14図でわかるように、各選択された画素行（選択期間は、1Hとしている）において、ゲート信号線17aにオン電圧（ V_{g1} ）が印加されている時（第14図（a）を参照）には、ゲート信号線17bにはオフ電圧（ V_{gh} ）が印加されている（第14図（b）を参照）。また、この期間は、
10 EL素子15には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線17aにオフ電圧（ V_{gh} ）が印加され、ゲート信号線17bにはオン電圧（ V_{g1} ）が印加されている。また、この期間は、EL素子15に電流が流れている（点灯状態）。また、
15 点灯状態では、EL素子15は所定のN倍の輝度（ $N \cdot B$ ）で点灯し、その点灯期間は $1F/N$ である。したがって、1Fを平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1/N) = B$ （所定輝度）となる。

第15図は、第14図の動作を各画素行に適用した実施例である。ゲート信号線17に印加する電圧波形を示している。電圧波形はオフ電圧
20 を V_{gh} （Hレベル）とし、オン電圧を V_{g1} （Lレベル）としている。

（1）（2）などの添え字は選択している画素行番号を示している。

- 第15図において、ゲート信号線17a（1）が選択され（ V_{g1} 電圧）、選択された画素行のトランジスタ11aからソースドライバ14
25 に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。したがって、コンデンサ19には10倍に電流がトランジスタ11aに流れるように

プログラムされる。画素行（１）が選択されている時は、第１図の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（ V_{gh} ）が印加され、ＥＬ素子１５には電流が流れない。

- ５ １Ｈ後には、ゲート信号線１７ａ（２）が選択され（ V_{g1} 電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値の N 倍（説明を容易にするため、 $N=10$ として説明する）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、第１図の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（ V_{gh} ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（ V_{gh} ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（ V_{g1} ）が印加されるため、点灯状態となっている。

- １５ 次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（ V_{gh} ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（ V_{gh} ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（ V_{g1} ）が印加されるため、
- ２０ 点灯状態となっている。

- 以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、第１５図の駆動方式では、ＥＬ素子１５には１０倍の電流が流れる。したがって、表示画面５０は約１０倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面５２挿入により所定の輝度を得るのは本発明の基本的な主旨である。
- ２５

なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど）、ダミーEL素子とEL素子15に分流して電流を流しても良い。たとえば、信号電流が $0.2\mu A$ のとき、プログラム電流を $2.2\mu A$ として、トランジスタ11aには $2.2\mu A$ を流す。この電流のうち、信号電流 $0.2\mu A$ をEL素子15に流して、 $2\mu A$ をダミーのEL素子に流すなどの方式が例示される。つまり、第27図のダミー画素行281を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動用トランジスタ11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりは十分小さい電流をながることができることになる。以上の方法では、第5図に図示するように、非点灯領域52を設けることなく、全表示領域50を画像表示領域53とすることができる。

第13図(a)は表示画像50への書き込み状態を図示している。第13図(a)において、51aは書き込み画素行である。ソースドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、第13図などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、 $0.5H$ 期間でも、 $2H$ 期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式（第62図など）でもよい。

第13図(a)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がトランジスタ11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加されEL素子15には電流が流れない。これは、EL素子15側にトランジスタ11dがオン状態

5 であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、第1図の構成を例にすれば、第13図(b)で示すように電流を書き込まれている画素行は非点灯領域52となる。

- 10 今、N(ここでは、先に述べたように $N=10$ とする)倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示領域50の90%の範囲を非点灯領域52とすればよい。したがって、画像表示領域の水平走査線がQCIFの220本($S=220$)とすれば、22本と表示領域53とし、 $220-22=198$ 本を非表示領域
- 15 52とすればよい。一般的に述べれば、水平走査線(画素行数)をSとすれば、 S/N の領域を表示領域53とし、この表示領域53をN倍の輝度で発光させる。そして、この表示領域53を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域52とする。この非点灯領域は黒表示(非発光)である。また、この非発光部52は
- 20 トランジスタ11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値と調整することは言うまでもない。

また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍になり、表示領域50の90%の範囲を非点灯領域52

25 とすればよいとした。しかし、これは、R、G、Bの画素を共通に非点灯領域52とすることに限定するものではない。例えば、Rの画素は、 $1/8$ を非点灯領域52とし、Gの画素は、 $1/6$ を非点灯領域52とし、Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変

化させてもよい。また、R、G、Bの色で個別に非点灯領域52（あるいは点灯領域53）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のR、G、Bの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（第41図を参照のこと）。

第13図（b）に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面のS/N（時間的には1F/N）の範囲を表示領域53とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

第13図の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、第16図に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、第13図の明るさと同等になる。なお、分割された表示領域53は等しく（等分に）する必要はない。また、分割された非表示領域52も等しくする必要はない。

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

第17図はゲート信号線17の電圧波形およびELの発光輝度を図示している。第17図で明らかなように、ゲート信号線17bをVg1にする期間（1F/N）を複数に分割（分割数K）している。つまり、

V_{g1}にする期間は $1F / (K / N)$ の期間をK回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すこと
5 により、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

なお、第17図などにおいて、ゲート信号線17bをV_{g1}にする期間
10 間($1F / N$)を複数に分割(分割数K)し、V_{g1}にする期間は $1F / (K / N)$ の期間をK回実施するとしたがこれ限定するものではない。 $1F / (K / N)$ の期間をL($L \neq K$)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより画像50を表示するものである。したがって、 $1F / (K / N)$ の期間をL($L \neq K$)回実施することは本発明の技術的思想に含まれる。また、Lの値
15 を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、 $L = 2$ と $L = 3$ では50%の輝度(コントラスト)変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをV_{g1}にする期間は同一期間に限定するものではない。

20 以上の実施例は、EL素子15に流れる電流を遮断し、また、EL素子に流れる電流を接続することにより、表示画面50をオンオフ(点灯、非点灯)するものであった。つまり、コンデンサ19に保持された電荷によりトランジスタ11aに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ19に保持
25 された電荷を充放電させることにより、表示画面50をオンオフ(点灯、非点灯)する方式でもよい。

第18図は第16図の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形である。第18図と第15図の差異は、ゲート

信号線 17 b の動作である。ゲート信号線 17 b は画面を分割する個数に対応して、その個数分だけオンオフ (V g l と V g h) 動作する。他の点は第 15 図と同一であるので説明を省略する。

EL 表示装置では黒表示は完全に非点灯であるから、液晶表示パネル
5 を間欠表示した場合のように、コントラスト低下もない。また、第 1 図の構成においては、トランジスタ 11 d をオンオフ操作するだけで間欠表示を実現できる。また、第 38 図、第 51 図の構成においては、トランジスタ素子 11 e をオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ 19 に画像データがメモリ (アナログ
10 値であるから階調数は無限大) されているからである。つまり、各画素 16 に、画像データは 1 F の期間中は保持されている。この保持されている画像データに相当する電流を EL 素子 15 に流すか否かをトランジスタ 11 d、11 e の制御により実現しているのである。したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動
15 方式にも適用できるものである。つまり、EL 素子 15 に流す電流が各画素内で保存している構成において、駆動用トランジスタ 11 を EL 素子 15 間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

コンデンサ 19 の端子電圧を維持することは重要である。1 フィールド
20 ド (フレーム) 期間でコンデンサ 19 の端子電圧が変化 (充放電) すると、画面輝度に変化し、フレームレートが低下した時にちらつき (フリッカなど) が発生するからである。トランジスタ 11 a が 1 フレーム (1 フィールド) 期間で EL 素子 15 に流す電流は、少なくとも 65 % 以下に低下しないようにする必要がある。この 65 % とは、画素 16 に書き
25 込み、EL 素子 15 に流す電流の最初が 100 % とした時、次のフレーム (フィールド) で前記画素 16 に書き込む直前の EL 素子 15 に流す電流が 65 % 以上とすることである。

第 1 図の画素構成では、間欠表示を実現する場合としない場合では、

1画素を構成するトランジスタ11の個数に変化はない。つまり、画素構成はそのまま、ソース信号線18の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、CRTに近い動画表示を実現しているのである。

- 5 また、ゲートドライバ12の動作クロックはソースドライバ14の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Nの値の変更も容易である。

10 なお、画像表示方向（画像書き込み方向）は、1フィールド（1フレーム）目では画面の上から下方向とし、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

15 さらに、1フィールド（1フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

20 なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1フィールド目では画面の上から下方向とし、つぎの第2フィールド目では画面の下から上方向としてもよい。また、1フレームを3フィールドに分割し、第1のフィールドではR、第2のフィールドではG、第3のフィールドではBとして、3フィールドで1フレームを形成するとしてもよい。また、1水平走査期間（1H）ごとに、R、G、Bを切り替えて表示してもよい。以上の事項は他の本
25 発明の実施例でも同様である。

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈するべきである。ま

た、非表示領域 5 2 とは、R, G, B 画像表示のうち、1 色または 2 色のみが非表示状態という場合も含まれる。

基本的には表示領域 5 3 の輝度(明るさ)が所定値に維持される場合、表示領域 5 3 の面積が広がるほど、画面 5 0 の輝度は高くなる。たとえば、表示領域 5 3 の輝度が 1 0 0 (n t) の場合、表示領域 5 3 が全画面 5 0 に占める割合が 1 0 % から 2 0 % にすれば、画面の輝度は 2 倍となる。したがって、全画面 5 0 に占める表示領域 5 3 の面積を変化させることにより、画面の表示輝度を変化することができる。

表示領域 5 3 の面積はシフトレジスタ 6 1 へのデータパルス (S T 2) を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、第 1 6 図の表示状態と第 1 3 図の表示状態とを切り替えることができる。1 F 周期でのデータパルス数を多くすれば、画面 5 0 は明るくなり、少なくすれば、画面 5 0 は暗くなる。また、連続してデータパルスを印加すれば第 1 3 図の表示状態となり、間欠にデータパルスを入力すれば第 1 6 図の表示状態となる。

第 1 9 図 (a) は第 1 3 図のように表示領域 5 3 が連続している場合の明るさ調整方式である。第 1 9 図 (a 1) の画面 5 0 の表示輝度が最も明るい。第 1 9 図 (a 2) の画面 5 0 の表示輝度が次に明るく、第 1 9 図 (a 3) の画面 5 0 の表示輝度が最も暗い。第 1 9 図 (a 1) から第 1 9 図 (a 3) への変化(あるいはその逆)は、先にも記載したようにゲートドライバ 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、第 1 図の V d d 電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面 5 0 の輝度変化を実施できる。また、第 1 9 図 (a 1) から第 1 9 図 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、画面 5 0 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面 5 0 の輝度が低い時

は、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

- 5 第19図(b)は第16図のように表示領域53が分散している場合の明るさ調整方式である。第19図(b1)の画面50の表示輝度が最も明るい。第19図(b2)の画面50の表示輝度が次に明るく、第19図(b3)の画面50の表示輝度が最も暗い。第19図(b1)から第19図(b3)への変化(あるいはその逆)は、先にも記載したよう
- 10 にゲートドライバ12のシフトレジスタ回路61などの制御により、容易に実現できる。第19図(b)のように表示領域53を分散させれば、低フレームレートでもフリッカが発生しない。

- さらに低フレームレートでも、フリッカが発生しないようにするには、第19図(c)のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、第
- 15 19図(a)の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、第19図(c)の駆動方法が適している。第19図(a)から第19図(c)の駆動方法の切り替えも、シフトレジスタ61の制御により容易に実現できる。

- 20 第20図はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。
- 25 る。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する(ソース信号線18に流す電流を10倍にする)。

第20図で説明する本発明は、画素行は同時にK画素行を選択する。

ソースドライバ I C 1 4 からは所定電流の N 倍電流をソース信号線 1 8 に印加する。各画素には E L 素子 1 5 に流す電流の N/K 倍の電流がプログラムされる。E L 素子 1 5 を所定発光輝度とするために、E L 素子 1 5 に流れる時間を 1 フレーム (1 フィールド) の K/N 時間にする。

- 5 このように駆動することにより、ソース信号線 1 8 の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

- つまり、1 フレーム (1 フィールド) の K/N の期間の間だけ、E L 素子 1 5 に電流を流し、他の期間 ($1 F (N-1) K/N$) は電流を流さない。この表示状態では 1 F ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線 1 8 には N 倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

- 15 第 2 1 図は、第 2 0 図の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を V_{gh} (H レベル) とし、オン電圧を V_{gl} (L レベル) としている。各信号線の添え字は画素行の番号 ((1) (2) (3) など) を記載している。なお、行数は Q C I F 表示パネルの場合は 2 2 0 本であり、V G A パネルでは 4 8 0 本である。

- 20 第 2 1 図において、ゲート信号線 1 7 a (1) が選択され (V_{gl} 電圧)、選択された画素行のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行 5 1 a が画素行 (1) 番目であるとして説明する。

- 25 また、ソース信号線 1 8 に流れるプログラム電流は所定値の N 倍 (説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。また、5 画素行が同時に選択 ($K=5$) と

して説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍($N/K = 10/5 = 2$)に電流がトランジスタ11aに流れるようにプログラムされる。

書き込み画素行が(1)画素行目である時、第21図で図示したように、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す(つまり、ソース信号線18には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明のN倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の10倍の電流がソース信号線18に流れる)。

以上の動作(駆動方法)により、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性(V_t 、S値)が一致しているとして説明をする。

同時に選択する画素行が5画素行($K=5$)であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $10/5 = 2$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、本来、書き込む電流 I_w とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、

書き込み画素行 5 1 b は後に正規の画像データが書き込まれるので問題がない。

したがって、4 画素行 5 1 b において、1 H 期間の間は 5 1 a と同一表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために
5 選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。ただし、第 3 8 図のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

1 H 後には、ゲート信号線 1 7 a (1) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V g 1) が印加される。また、同時に、ゲート
10 信号線 1 7 a (6) が選択され (V g 1 電圧)、選択された画素行 (6) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1 H 後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート
15 ト信号線 1 7 b にはオン電圧 (V g 1) が印加される。また、同時に、ゲート信号線 1 7 a (7) が選択され (V g 1 電圧)、選択された画素行 (7) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1
20 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

第 2 0 図の駆動方法では、各画素には 2 倍の電流 (電圧) でプログラムを行うため、各画素の E L 素子 1 5 の発光輝度は理想的には 2 倍となる。したがって、表示画面の輝度は所定値よりも 2 倍となる。これを所
25 定の輝度とするためには、第 1 6 図に図示するように、書き込み画素行 5 1 を含み、かつ表示領域 5 0 の 1 / 2 の範囲を非表示領域 5 2 とすればよい。

第 1 3 図と同様に、第 2 0 図のように 1 つの表示領域 5 3 が画面の上

から下方向に移動すると、フレームレートが低いと、表示領域 5 3 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、第 2 2 図に図示するように、表示領域 5 3 を複数に分割するとよい。分割された非表示領域 5 2 を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

第 2 3 図はゲート信号線 1 7 に印加する電圧波形である。第 2 1 図と第 2 3 図との差異は、基本的にはゲート信号線 1 7 b の動作である。ゲート信号線 1 7 b は画面を分割する個数に対応して、その個数分だけオンオフ (V_{gl} と V_{gh}) 動作する。他の点は第 2 1 図とほぼ同一あるいは類推できるので説明を省略する。

以上のように、表示領域 5 3 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特に EL 素子 1 5 の応答性は速いため、 $5 \mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

本発明の駆動方法において、EL 素子 1 5 のオンオフは、ゲート信号線 1 7 b に印加する信号のオンオフで制御できる。そのため、クロック周波数は KHz オーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域 5 2 挿入）を実現するには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

第 2 4 図は同時に選択する画素行が 2 画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2 画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ 1 1 a の特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状の

レーザーの照射方向はソース信号線 18 と平行に照射することで良好な結果が得られた。

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタの V_t 、モビリティがほぼ等しくなるためである。したがって、ソース信号線 18 の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線 18 に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と第 24 図などで説明する駆動方式とは相乗効果がある。

以上のように、レーザーショットの方向をソース信号線 18 の形成方向と略一致させることにより、画素の上下方向のトランジスタ 11a の特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ 11a の特性が一致していなくとも）。

以上の動作は、1H（1 水平走査期間）に同期して、1 画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。なお、本発明は、レーザーショットの方向をソース信号線 18 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 18 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 18 に沿った画素の上下方向のトランジスタ 11a の特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線 18 の沿った任意の画素の上または下に隣接した画素を、1 つのレーザー照射範囲に入るように形成するということである。

また、ソース信号線 18 とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

5 なお、本発明の実施例では 1 H ごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2 H ごとにシフトしてもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択
10 することに限定するものではない。例えば、1 画素行へだてた画素行を選択してもよい。つまり、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行を選択し、第 2 番目の水平走査期間に第 2 番目の画素行と第 4 番目の画素行を選択し、第 3 番目の水平走査期間に第 3 番目の画素行と第 5 番目の画素行を選択し、第 4 番目の水平走査期間に第 4
15 番目の画素行と第 6 番目の画素行を選択する駆動方法である。もちろん、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行と第 5 番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

20 なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、第 1 図、第 2 図、第 3 2 図の画素構成のみに限定されるものではなく、カレントミラーの画素構成である第 3 8 図、第 4 2 図、第 5 0 図などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、第 4 3 図、第 5 1 図、第 5 4 図、第 6 2 図などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトラ
25 ンジスタの特性が一致しておれば、同一のソース信号線 18 に印加した電圧値により良好に電圧プログラムを実施できるからである。

 第 2 4 図において、書き込み画素行が (1) 画素行目である時、ゲート信号線 17 a は (1) (2) が選択されている (第 2 5 図を参照のこ

と)。つまり、画素行(1)(2)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、少なくとも画素行(1)(2)のスイッチングトランジスタ11dがオフ状態であり、
5 対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。なお、第24図では、フリッカの発生を低減するため、表示領域53を5分割している。

理想的には、2画素(行)のトランジスタ11aが、それぞれ $I_w \times 5$ (N=10の場合。つまり、 $K=2$ であるから、ソース信号線18に
10 流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる)の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。

同時に選択する画素行が2画素行($K=2$)であるから、2つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $10/2=$
15 5倍の電流がトランジスタ11aに流れる。ソース信号線18には、2つのトランジスタ11aのプログラム電流を加えた電流が流れる。

たとえば、書き込み画素行51aに、本来、書き込む電流 I_d とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。画素行51
20 bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

次の、1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧(V_{g1})が印加される。また、同時に、
25 ゲート信号線17a(3)が選択され(V_{g1} 電圧)、選択された画素行(3)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

次の、1 H後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V g 1) が印加される。また、同時に、ゲート信号線 1 7 a (4) が選択され (V g 1 電圧)、選択された画素行 (4) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフト (もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2 行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう) しながら走査することにより 1 画面が書き換えられる。

第 1 6 図と同様であるが、第 2 4 図の駆動方法では、各画素には 5 倍の電流 (電圧) でプログラムを行うため、各画素の E L 素子 1 5 の発光輝度は理想的には 5 倍となる。したがって、表示領域 5 3 の輝度は所定値よりも 5 倍となる。これを所定の輝度とするためには、第 1 6 図などに図示するように、書き込み画素行 5 1 を含み、かつ表示画面 1 の 1 / 5 の範囲を非表示領域 5 2 とすればよい。

第 2 7 図に図示するように、2 本の書き込み画素行 5 1 (5 1 a、5 1 b) が選択され、画面 5 0 の上辺から下辺に順次選択されていく (第 2 6 図も参照のこと。第 2 6 図では画素行 1 6 a と 1 6 b が選択されている)。しかし、第 2 7 図 (b) のように、画面の下辺までくると書き込み画素行 5 1 a は存在するが、5 1 b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 1 8 に印加された電流は、すべて画素行 5 1 a に書き込まれる。したがって、画素行 5 1 a に比較して、2 倍の電流が画素にプログラムされてしまう。

この課題に対して、本発明は、第 2 7 図 (b) に図示するように画面 5 0 の下辺にダミー画素行 2 8 1 を形成 (配置) している。したがって、選択画素行が画面 5 0 の下辺まで選択された場合は、画面 5 0 の最終画素行とダミー画素行 2 8 1 が選択される。そのため、第 2 7 図 (b) の

書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行 281 は表示領域 50 の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域 50 から離れた位置に形成されていてもよい。また、ダミー画素行 281 は、第 1 図のスイッチングトランジスタ 11d、EL 素子 15 などは形成する必要はない。形成しないことにより、ダミー画素行 281 のサイズは小さくなる。

第 28 図は第 27 図 (b) の状態を示している。第 28 図で明らかにように、選択画素行が画面 50 の下辺の画素 16c 行まで選択された場合は、画面 50 の最終画素行 281 が選択される。ダミー画素行 281 は表示領域 50 外に配置する。つまり、ダミー画素行 281 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ 11 とのコンタクトホールをなくすとか、ダミー画素行には EL 膜を形成しないとかである。

第 27 図では、画面 50 の下辺にダミー画素 (行) 281 を設ける (形成する、配置する) としたが、これに限定するものではない。たとえば、第 29 図 (a) に図示するように、画面の下辺から上辺に走査する (上下逆転走査) する場合は、第 29 図 (b) に図示するように画面 50 の上辺にもダミー画素行 281 を形成すべきである。つまり、画面 50 の上辺を下辺のそれぞれにダミー画素行 281 を形成 (配置) する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、2 画素行を同時選択する場合であった。

本発明はこれに限定するものではなく、たとえば、5 画素行を同時選択する方式 (第 23 図を参照のこと) でもよい。つまり、5 画素行同時駆動の場合は、ダミー画素行 281 は 4 行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも 1 つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法と N 倍パルス駆動とを組み合わせる用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ 11a の特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1 画素にプログラムする電流が大きくなり、EL 素子 15 に大きな電流を流すことになる。

- 5 EL 素子 15 に流す電流が大きいと EL 素子 15 が劣化しやすくなる。

第 30 図はこの課題を解決するものである。第 30 図の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、第 22 図、第 29 図で説明したように、複数の画素行を同時に選択する方法である。その後の $1/2H$ （水平走査期間の $1/2$ ）は第 5 図、第 13 図などで説明したように、

- 10 1 画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ 11a の特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

第 30 図において、説明を容易にするため、第 1 の期間では 5 画素行を同時に選択し、第 2 の期間では 1 画素行を選択するとして説明をする。

- 15 まず、第 1 の期間（前半の $1/2H$ ）では、第 30 図（a1）に図示するように、5 画素行を同時に選択する。この動作は第 22 図を用いて説明したので省略する。一例としてソース信号線 18 に流す電流は所定値の 2.5 倍とする。したがって、各画素 16 のトランジスタ 11a（第 1 図の画素構成の場合）には 5 倍の電流（ $2.5/5$ 画素行 = 5）がプログラムされる。2.5 倍の電流であるから、ソース信号線 18 などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線 18 の電位は、短時間で目標の電位となり、各画素 16 のコンデンサ 19 の端子電圧も 5 倍電流を流すようにプログラムされる。この 2.5 倍電流の印加時間は前半の $1/2H$ （1 水平走査期間の $1/2$ ）とする。

- 25 当然のことながら、書き込み画素行の 5 画素行は同一画像データが書き込まれるから、表示しないように 5 画素行のトランジスタ 11d はオフ状態とされる。したがって、表示状態は第 30 図（a2）となる。

次の後半の $1/2H$ 期間は、1 画素行を選択し、電流（電圧）プログ

ラムを行う。この状態を第30図(b1)に図示している。書き込み画
素行51aは先と同様に5倍の電流を流すように電流(電圧)プログラ
ムされる。第30図(a1)と第30図(b1)とで各画素に流す電流
を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化
5 を小さくして、より高速に目標の電流を流せるようにするためである。

つまり、第30図(a1)で、複数の画素に電流を流し、高速に概略
の電流が流れる値まで近づける。この第1の段階では、複数のトランジ
スタ11aでプログラムしているため、目標値に対してトランジスタの
バラツキによる誤差が発生している。次の第2の段階で、データを書き
10 込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目
標値まで完全なプログラムを行うのである。

なお、非点灯領域52を画面の上から下方向に走査し、また、書き込
み画素行51aも画面の上から下方向に走査することは第13図など
の実施例と同様であるので説明を省略する。

15 第31図は第30図の駆動方法を実現するための駆動波形である。第
31図でわかるように、1H(1水平走査期間)は2つのフェーズで構
成されている。この2つのフェーズはISEL信号で切り替える。ISEL
信号は第31図に図示している。

まず、ISEL信号について説明をしておく。第30図を実施するド
20 ライバ14は、電流出力回路Aと電流出力回路Bとを具備している。そ
れぞれの電流出力回路は、8ビットの階調データをDA変換するDA回
路とオペアンプなどから構成される。第30図の実施例では、電流出力
回路Aは25倍の電流を出力するように構成されている。一方、電流出
力回路Bは5倍の電流を出力するように構成されている。電流出力回路
25 Aと電流出力回路Bの出力はISEL信号により電流出力部に形成(配
置)されたスイッチ回路が制御され、ソース信号線18に印加される。
この電流出力回路は各ソース信号線に配置されている。

ISEL信号は、Lレベルの時、25倍電流を出力する電流出力回路

Aが選択されてソース信号線18からの電流をソースドライバIC14が吸収する（より適切には、ソースドライバ14内に形成された電流出力回路Aが吸収する）。25倍、5倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

第30図に示すように書き込み画素行が（1）画素行目である時（第30図の1Hの欄を参照）、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている（第1図の画素構成の場合）。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧（V_{gh}）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性（V_t、S値）が一致しているとして説明をする。

同時に選択する画素行が5画素行（K=5）であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25 / 5 = 5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線18には、 $I_w \times 25$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行51

bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

したがって、画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

次の1/2H（水平走査期間の1/2）では、書き込み画素行51aのみを選択する。つまり、（1）画素行目のみを選択する。第31図で明らかなように、ゲート信号線17a（1）のみが、オン電圧（V_{g1}）が印加され、ゲート信号線17a（2）（3）（4）（5）はオフ（V_{gh}）が印加されている。したがって、画素行（1）のトランジスタ11aは動作状態（ソース信号線18に電流を供給している状態）であるが、画素行（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。

また、ISELがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路Bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧（V_{gh}）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

以上のことから、画素行（1）のトランジスタ11aが、それぞれI_w×5の電流をソース信号線18に流す。そして、各画素行（1）のコンデンサ19には、5倍の電流がプログラムされる。

次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（2）である。最初の1/2Hの期間では、第31図に示すように書き込み画素行が（2）画素行目である時、ゲート信号線17aは（2）（3）（4）（5）（6）が選択されている。

つまり、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、I S E L が L レベルであるから、2 5 倍電流を出力する電流出力回路 A が選択され、ソース信号線 1 8 と接続されている。また、ゲート信号線 1 7 b に
5 は、オフ電圧（V g h）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。一方、画素行（１）のゲート信号線 1 7 b（１）は V g l 電圧が印加されているから、トランジスタ 1 1 d はオン状態であり、画素行（１）の E L 素子 1 5 は点灯する。
10

同時に選択する画素行が 5 画素行（K = 5）であるから、5 つの駆動用トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $25 / 5 = 5$ 倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、5 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。

15 次の 1 / 2 H（水平走査期間の 1 / 2）では、書き込み画素行 5 1 a のみを選択する。つまり、（２）画素行目のみを選択する。第 3 1 図で明らかなように、ゲート信号線 1 7 a（２）のみが、オン電圧（V g l）が印加され、ゲート信号線 1 7 a（３）（４）（５）（６）はオフ（V g h）が印加されている。したがって、画素行（１）（２）のトランジスタ 1 1 a は動作状態（画素行（１）は E L 素子 1 5 に電流を流し、画素行（２）はソース信号線 1 8 に電流を供給している状態）であるが、
20 画素行（３）（４）（５）（６）のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオフ状態である。つまり、非選択状態である。また、I S E L が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 1 2 2 2 b とソース信号線 1 8 とが接続されている。また、ゲート信号線 1 7 b の状態は先の 1 / 2 H の状態と変化がなく、オフ電圧（V g h）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチングトランジスタ 1 1
25

dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

以上のことから、画素行(2)のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

第30図で説明した駆動方法は、第1の期間でG画素行(Gは2以上)を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、画素にはN倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第1の期間でG画素行(Gは2以上)を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、選択された画素行の総和の電流(ただし、選択画素行が1の時は、1画素行の電流)がN倍となるようにプログラムする方式である。たとえば、第30図(a1)において、5画素行を同時に選択し、各画素のトランジスタ11aには2倍の電流を流す。したがって、ソース信号線18には 5×2 倍=10倍の電流が流れる。次の第2の期間では第30図(b1)において、1画素行を選択する。この1画素のトランジスタ11aには10倍の電流を流す。

なお、第31図において、複数の画素行を同時に選択する期間を $1/2H$ とし、1画素行を選択する期間を $1/2H$ としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4H$ とし、1画素行を選択する期間を $3/4H$ としてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は $1H$ としたがこれに限定するものではない。たとえば、 $2H$ 期間でも、 $1.5H$ 期間であっても良い。

また、第30図において、5画素行を同時に選択する期間を $1/2H$ とし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

また、第30図において、5画素行を同時に選択する第1の期間を $1/2H$ とし、1画素行を選択する第2の期間を $1/2H$ とする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

10 以上の本発明のN倍パルス駆動方法では、各画素行で、ゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を $1F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線17bの波形を同一にし、
15 シフトさせていることを実現することは容易である。第6図のシフトレジスタ回路61a、61bに印加するデータであるST1、ST2を制御すればよいからである。たとえば、入力ST2がLレベルの時、ゲート信号線17bにVg1が出力され、入力ST2がHレベルの時、ゲート信号線17bにVghが出力されるとすれば、シフトレジスタ17b
20 に印加するST2を $1F/N$ の期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしていくだけである。

なお、EL素子15をオンオフする周期は 0.5 msec 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を 100 msec 以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は $0.5\text{ }\mu\text{ sec}$ 以上 100 ms

ec 以下にすべきである。さらに好ましくは、オンオフ周期を 2 msec 以上 30 msec 以下にすべきである。さらに好ましくは、オンオフ周期を 3 msec 以上 20 msec 以下にすべきである。

先にも記載したが、黒画面 152 の分割数は、1 つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は 1 以上 8 以下とすべきである。さらに好ましくは 1 以上 5 以下とすることが好ましい。

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75% が黒画面であり、25% が画像表示である。このとき、75% の黒表示部を 75% の黒帯状態で画面の上下方向に走査するのが分割数 1 である。25% の黒画面と 25% / 3% の表示画面の 3 ブロックで走査するのが分割数 3 である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に
15 応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を 10 以上とする（極端には 1H ごとにオンオフしてもよい）。NTSC
20 の動画を表示するときは、分割数を 1 以上 5 以下とする。なお、分割数は 3 以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8 などである。

また、全表示画面に対する黒画面の割合は、全画面の面積を 1 とした時、0.2 以上 0.9 以下（N で表示すれば 1.2 以上 9 以下）とすることが好ましい。また、特に 0.25 以上 0.6 以下（N で表示すれば
25 1.25 以上 6 以下）とすることが好ましい。0.20 以下であると動画表示での改善効果が低い。0.9 以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ14などからの書き込みが苦しくなり解像度が劣化する。

いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（第33図、第35図などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

なお、以上の事項は、第38図などの電流プログラムの画素構成、第43図、第51図、第54図などの電圧プログラムの画素構成でも適用できることは言うまでもない。第38図では、トランジスタ11dを、第43図ではトランジスタ11dを、第51図ではトランジスタ11eをオンオフ制御すればよい。このように、EL素子15に電流を流す配線をオンオフすることにより、本発明のN倍パルス駆動を容易に実現できる。

また、ゲート信号線17bの $1F/N$ の期間だけ、 V_{g1} にする時刻は $1F$ （ $1F$ に限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（ $1H$ ）後、すぐにゲート信号線17bを V_{g1} にしてEL素子15を発光させる方がよい。第1図のコンデンサ19の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変

更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

このようにKの値（画像表示部53の分割数）を変化させることも容易に実現できる。第6図においてSTに印加するデータのタイミング
5 （1FのいつにLレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

なお、第16図などでは、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）し、Vg1にする期間は $1F/(K/N)$ の期間をK回実施するとしたがこれ限定するものではない。 $1F$
10 $/(K/N)$ の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。
15 できる。たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化をなす。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のN倍パルス駆動である。

以上の実施例は、EL素子15と駆動用トランジスタ11aとの間に
20 スイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を
25 実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、第32図を用いて、その実施例について説明をする。

第32図は基本的には第1図の画素構成である。第32図の画素構成

では、プログラムされた I_w 電流が EL 素子 15 に流れ、EL 素子 15 が発光する。つまり、駆動用トランジスタ 11a はプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ 11a をリセット（オフ状態）にする方式が第 32 図 5 の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

第 1 図の画素構成でリセット駆動を実現するためには、トランジスタ 11b とトランジスタ 11c を独立してオンオフ制御できるように構成する必要がある。つまり、第 32 図で図示するようにトランジスタ 11b をオンオフ制御するゲート信号線 11a（ゲート信号線 WR）、トランジスタ 11c をオンオフ制御するゲート信号線 11c（ゲート信号線 EL）を独立して制御できるようにする。ゲート信号線 11a とゲート信号線 11c の制御は第 6 図に図示するように独立した 2 つのシフトレジスタ 61 で行えばよい。

ゲート信号線 WR とゲート信号線 EL の駆動電圧は変化させるとよい。ゲート信号線 WR の振幅値（オン電圧とオフ電圧との差）は、ゲート信号線 EL の振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線 WR の振幅は、ソース信号線 18 の電位が画素 16 に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線 18 の電位変動は小さいから、ゲート信号線 WR の振幅値は小さくすることができる。一方、ゲート信号線 EL は EL のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ 61a と 61b との出力電圧を変化させる。画素が P チャンネルトランジスタで形成されている場合は、シフトレジスタ 61a と 61b の V_{gh} （オフ電圧）を略同一にし、シフトレジスタ 61a の V_{g1} （オン電圧）をシフトレジスタ 61b の V_{g1} （オン電圧）よりも低くする。

以下、第 33 図を参照しながら、リセット駆動方式について説明をす

る。第33図はリセット駆動の原理説明図である。まず、第33図(a)に図示するように、トランジスタ11c、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。すると、駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子はショート状態となり、I_b電流が流れる。一般的に、トランジスタ11aは1つ前のフィールド(フレーム)で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ11dがオフ状態となり、トランジスタ11bがオン状態にすれば、駆動電流I_bがトランジスタ11aのゲート(G)端子に流れる。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。

このトランジスタ11aのリセット状態(電流を流さない状態)は、第51図などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第33図(a)の状態では、コンデンサ19の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ11aの特性に応じて異なる電圧値である。したがって、第33図(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11aが電流を流さない(つまり、黒表示電流(ほとんど0に等しい)が保持されることになる)のである。

なお、第33図(a)の動作の前に、トランジスタ11b、トランジスタ11cをオフ状態にし、トランジスタ11dをオン状態にし、駆動用トランジスタ11aに電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。EL素子15に電流が流れてEL素子15が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1H(1水平走査期間)の0.1%以上10%以下とすることが好ましい。さらに好ましくは0.2%以上2%以下となるようにすることが好ましい。もしくは0.2μs e

c 以上 $5 \mu s$ e c 以下となるようにすることが好ましい。また、全画面の画素 16 に一括して前述の動作（第 33 図（a）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 11a のドレイン（D）端子電圧が低下し、第 33 図（a）の状態で
5 スムーズな I_b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

第 33 図（a）の実施時間を長くするほど、 I_b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、第 33 図（a）の実施時間は固定値にする必要がある。実験および検討によれば、
10 第 33 図（a）の実施時間は、1 H 以上 5 H 以下にすることが好ましい。なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で EL 材料が異なり、この EL 材料の立ち上がり電圧などに差異があるためである。R、G、B の各画素で、EL 材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H
15 以上 5 H 以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5 H 以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

第 33 図（a）を実施後、1 H 以上 5 H 以下の期間において、第 33 図（b）の状態にする。第 33 図（b）はトランジスタ 11c、トランジスタ 11b をオンさせ、トランジスタ 11d をオフさせた状態である。
20 第 33 図（b）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ 14 からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を駆動用トランジスタ 11a に流す。このプログラム電流 I_w が流れるように、駆動用
25 トランジスタ 11a のゲート（G）端子の電位を設定するのである（設定電位はコンデンサ 19 に保持される）。

もし、プログラム電流 I_w が 0（A）であれば、トランジスタ 11a は電流を第 33 図（a）の電流を流さない状態が保持されたままとなる

から、良好な黒表示を実現できる。また、第 3 3 図 (b) で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる
5 時間が階調に応じて等しくなる。そのため、トランジスタ 1 1 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

第 3 3 図 (b) の電流プログラミング後、第 3 3 図 (c) に図示するように、トランジスタ 1 1 b、トランジスタ 1 1 c とオフし、トランジスタ 1 1 d をオンさせて、駆動用トランジスタ 1 1 a からのプログラム
10 電流 $I_w (= I_e)$ を EL 素子 1 5 に流し、EL 素子 1 5 を発光させる。第 3 3 図 (c) に関しても、第 1 図などで以前に説明をしたので詳細は省略する。

つまり、第 3 3 図で説明した駆動方式 (リセット駆動) は、駆動用トランジスタ 1 1 a と EL 素子 1 5 間を切断 (電流が流れない状態) し、
15 かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) 間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流 (電圧)
20 プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、リセット駆動を実施するためには、第 3 2 図の構成のように、トランジスタ 1 1 b とトランジスタ 1 1 c とを独立に制御できるように、構成しておかねばならない。

画像表示状態は (もし、瞬時的な変化が観察できるのであれば)、ま
25 ず、電流プログラムが行われる画素行は、リセット状態 (黒表示状態) になり、1 H 後に電流プログラムが行われる (この時も黒表示状態である。トランジスタ 1 1 d がオフだからである。)。次に、EL 素子 1 5 に電流が供給され、画素行は所定輝度 (プログラムされた電流) で発光

する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1 H後に電流プログラムを行うとしたがこの期間は、5 H程度以内としてもよい。第33図(a)のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を5 Hとすれば、5画素行が黒表示（電流プログラムの画素行もいれると6画素行）となるはずである。

また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間（1単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第2の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第3の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第4の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、第33図(b)、第33図(c)の駆動状態も第33図(a)の駆動状態と同期して実施される。

また、1画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、第33図(b)(c)の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（1画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

なお、第 3 3 図のリセット駆動は、本発明の N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に第 2 2 図の構成は、間欠 N / K 倍パルス駆動（1 画面に点灯領域を複数設ける駆動方法である。この駆動方法

5 法は、ゲート信号線 1 7 b を制御し、トランジスタ 1 1 d をオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、第 2 2 図あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス

10 駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

第 3 4 図はリセット駆動を実現する表示装置の構成図である。ゲート

15 ドライバ 1 2 a は、第 3 2 図におけるゲート信号線 1 7 a およびゲート信号線 1 7 b を制御する。ゲート信号線 1 7 a にオンオフ電圧を印加することによりトランジスタ 1 1 b がオンオフ制御される。また、ゲート信号線 1 7 b にオンオフ電圧を印加することによりトランジスタ 1 1 d がオンオフ制御される。ゲートドライバ 1 2 b は、第 3 2 図における

20 ゲート信号線 1 7 c を制御する。ゲート信号線 1 7 c にオンオフ電圧を印加することによりトランジスタ 1 1 c がオンオフ制御される。

したがって、ゲート信号線 1 7 a はゲートドライバ 1 2 a で操作し、ゲート信号線 1 7 c はゲートドライバ 1 2 b で操作する。そのため、トランジスタ 1 1 b をオンさせて駆動用トランジスタ 1 1 a をリセット

25 するタイミングと、トランジスタ 1 1 c をオンさせて駆動用トランジスタ 1 1 a に電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

第35図はリセット駆動のタイミングチャートである。ゲート信号線17aにオン電圧を印加し、トランジスタ11bをオンさせ、駆動用トランジスタ11aをリセットしている時には、ゲート信号線17bにはオフ電圧を印加し、トランジスタ11dをオフ状態にしている。したがって、第32図(a)の状態となっている。この期間にI_b電流が流れる。

第35図のタイミングチャートでは、リセット時間は2H（ゲート信号線17aにオン電圧が印加され、トランジスタ11bがオンする）としているが、これに限定するものではない。2H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1H未満であってもよい。また、リセット期間を何H期間にするかはゲートドライバ12に入力するDATA（ST）パルス期間で容易に変更できる。たとえば、ST端子に入力するDATAを2H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2H期間となる。同様に、ST端子に入力するDATAを5H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5H期間となる。

1H期間のリセット後、画素行(1)のゲート信号線17c(1)に、オン電圧が印加される。トランジスタ11cがオンすることにより、ソース信号線18に印加されたプログラム電流I_wがトランジスタ11cを介して駆動用トランジスタ11aに書き込まれる。

電流プログラム後、画素(1)のゲート信号線17cにオフ電圧が印加され、トランジスタ11cがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用トランジスタ11aのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線17bにはオン電圧が印加され、トランジスタ11dがオンして、駆動用トランジスタ11aにプログラムされた電流がEL素子15に流れる。なお、画素行(2)以降についても、

画素行（１）と同様であり、また、第３５図からその動作は明らかであるから説明を省略する。

第３５図において、リセット期間は１Ｈ期間であった。第３６図はリセット期間を５Ｈとした実施例である。リセット期間を何Ｈ期間にするかはゲートドライバ１２に入力するDATA（ST）パルス期間で容易に変更できる。第３６図ではゲートドライバ１２aのST１端子に入力するDATAを５Ｈ期間の間Ｈレベルし、各ゲート信号線１７aから出力されるリセット期間を５Ｈ期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

第３６図はリセット期間を５Ｈとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線１７aから出力される信号を１Ｈごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ１２に入力するDATA（ST）パルスを制御することで容易に実現できる。

第３４図の回路構成では、ゲートドライバ１２aは少なくとも２つのシフトレジスタ回路（１つはゲート信号線１７a制御用、他の１つはゲート信号線１７b制御用）が必要であった。そのため、ゲートドライバ１２aの回路規模が大きくなるという課題があった。第３７図はゲートドライバ１２aのシフトレジスタを１つにした実施例である。第３７図の回路を動作させた出力信号のタイミングチャートは第３５図のごとくなる。なお、第３５図と第３７図とはゲートドライバ１２a、１２bから出力されているゲート信号線１７の記号が異なっているので注意が必要である。

第３７図のOR回路３７１が付加されていることから明らかである

が、各ゲート信号線 17 a の出力は、シフトレジスタ回路 61 a の前段出力との OR をとって出力される。つまり、2 H 期間、ゲート信号線 17 a からはオン電圧が出力される。一方、ゲート信号線 17 c はシフトレジスタ回路 61 a の出力がそのまま出力される。したがって、1 H 期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路 61 a の 2 番目に H レベル信号が出力されている時、画素 16 (1) のゲート信号線 17 c にオン電圧が出力され、画素 16 (1) が電流 (電圧) プログラムの状態である。同時に、画素 16 (2) のゲート信号線 17 a にもオン電圧が出力され、画素 16 (2) のトランジスタ 11 b がオン状態となり、画素 16 (2) の駆動用トランジスタ 11 a がリセットされる。

同様に、シフトレジスタ回路 61 a の 3 番目に H レベル信号が出力されている時、画素 16 (2) のゲート信号線 17 c にオン電圧が出力され、画素 16 (2) が電流 (電圧) プログラムの状態である。同時に、画素 16 (3) のゲート信号線 17 a にもオン電圧が出力され、画素 16 (3) トランジスタ 11 b がオン状態となり、画素 16 (3) 駆動用トランジスタ 11 a がリセットされる。つまり、2 H 期間、ゲート信号線 17 a からはオン電圧が出力され、ゲート信号線 17 c に 1 H 期間、オン電圧が出力される。

プログラム状態の時は、トランジスタ 11 b とトランジスタ 11 c が同時にオン状態となる (第 33 図 (b)) ら、非プログラム状態 (第 33 図 (c)) に移行する際、トランジスタ 11 c がトランジスタ 11 b よりも先にオフ状態となると、第 33 図 (b) のリセット状態となってしまう。これと防止するためには、トランジスタ 11 c がトランジスタ 11 b よりもあとからオフ状態にする必要がある。そのためは、ゲート信号線 17 a がゲート信号線 17 c よりも先にオン電圧が印加されるように制御する必要がある。

以上の実施例は、第 32 図 (基本的には第 1 図) の画素構成に関する

実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、第38図に示すようなカレントミラーの画素構成であっても実施することができる。なお、第38図ではトランジスタ11eをオンオフ制御することにより、第13図、第15図などで図示するN倍パルス駆動を実現できる。第39図は第38図のカレントミラーの画素構成での実施例の説明図である。以下、第39図を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

第39図(a)に図示するように、トランジスタ11c、トランジスタ11eをオフ状態にし、トランジスタ11dをオン状態にする。すると、電流プログラム用トランジスタ11bのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI_b電流が流れる。一般的に、トランジスタ11bは1つ前のフィールド(フレーム)で電流プログラムされ、電流を流す能力がある(ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ11eをオフ状態とし、トランジスタ11dをオン状態にすれば、駆動電流I_bがトランジスタ11aのゲート(G)端子の方向に流れる(ゲート(G)端子とドレイン(D)端子がショートされる)。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。また、駆動用トランジスタ11bのゲート(G)端子は電流プログラム用トランジスタ11aのゲート(G)端子と共通であるから、駆動用トランジスタ11bもリセット状態となる。

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、第51図などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第39図(a)の状態では、コンデンサ19の端子間には、オフセット電圧(電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加すること

により、トランジスタ 11 に電流が流れる) が保持されていることになる。このオフセット電圧はトランジスタ 11 a、トランジスタ 11 b の特性に応じて異なる電圧値である。したがって、第 39 図 (a) の動作を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11 a、トランジスタ 11 b が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい)) 状態が保持されることになるのである (電流が流れ始める開始電圧にリセットされた)。

なお、第 39 図 (a) においても第 33 図 (a) と同様に、リセットの実施時間を長くするほど、I b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、第 39 図 (a) の実施時間は固定値にする必要がある。実験および検討によれば、第 39 図 (a) の実施時間は、1 H 以上 10 H (10 水平走査期間) 以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましい。あるいは、20 μ sec 以上 2 msec 以下とすることが好ましい。このことは第 33 図の駆動方式でも同様である。

第 33 図 (a) も同様であるが、第 39 図 (a) のリセット状態と、第 39 図 (b) の電流プログラム状態とを同期をとって行う場合は、第 39 図 (a) のリセット状態から、第 39 図 (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。つまり、第 33 図 (a) あるいは第 39 図 (a) のリセット状態から、第 33 図 (b) あるいは第 39 図 (b) の電流プログラム状態までの期間が、1 H 以上 10 H (10 水平走査期間) 以下とすることが好ましい。さらには 1 H 以上 5 H 以下にすることが好ましいのである。あるいは、20 μ sec 以上 2 msec 以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 50 の輝度も低下する。

第 3 9 図 (a) を実施後、第 3 9 図 (b) の状態にする。第 3 9 図 (b) はトランジスタ 1 1 c、トランジスタ 1 1 d をオンさせ、トランジスタ 1 1 e をオフさせた状態である。第 3 9 図 (b) の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ 1 4 からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を電流プログラム用トランジスタ 1 1 a に流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ 1 1 b のゲート (G) 端子の電位をコンデンサ 1 9 に設定するのである。

もし、プログラム電流 I_w が 0 (A) (黒表示) であれば、トランジスタ 1 1 b は電流を第 3 3 図 (a) の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第 3 9 図 (b) で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 1 1 a あるいはトランジスタ 1 1 b の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

第 3 9 図 (b) の電流プログラミング後、第 3 9 図 (c) に図示するように、トランジスタ 1 1 c、トランジスタ 1 1 d とオフし、トランジスタ 1 1 e をオンさせて、駆動用トランジスタ 1 1 b からのプログラム電流 $I_w (= I_e)$ を EL 素子 1 5 に流し、EL 素子 1 5 を発光させる。第 3 9 図 (c) に関しても、以前に説明をしたので詳細は省略する。

第 3 3 図、第 3 9 図で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と EL 素子 1 5 間を切断（電流が流れない状態。トランジスタ 1 1 e あるいはトランジスタ 1 1 d で行う）し、かつ、駆動用トランジスタのドレイン (D) 端子とゲート (G) 端子（もしくはソース (S) 端子とゲート (G) 端子、さ

らに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む2端子）間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

- 5 なお、第1の動作における駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断するという動作は、必ずしも必須の条件ではない。もし、第1の動作における駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子間をショートする第10 1の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

- 第39図のカレントミラーの画素構成は、電流プログラムトランジスタ11aをリセットすることにより、結果として駆動用トランジスタ115 1bをリセットする駆動方法であった。

- 第39図のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ11bとEL素子15間を切断する必要はない。したがって、電流プログラム用トランジスタaのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、20 さらに一般的に表現すれば電流プログラム用トランジスタのゲート（G）端子を含む2端子、あるいは駆動用トランジスタのゲート（G）端子を含む2端子）間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作25 後に行うものである。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定H後に電流プログラムが行われる。画面の上から下方向に、

黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

5 以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。第43図は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

10 第43図の画素構成では、駆動用トランジスタ11aをリセット動作させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、第44図を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

15 第44図（a）に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、図に示すようにI_b電流が流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、駆動用トランジスタ11aはリセット（電流を流さない状態）になる。なお、トランジスタ11aをリセットする前に、第33図あるいは第39図で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、第44図（a）の動作を実施する。

25 このトランジスタ11a、トランジスタ11bのリセット状態（電流を流さない状態）は、第41図などで説明した電圧オフセットキャンセル方式のオフセット電圧を保持した状態と等価である。つまり、第44

図 (a) の状態では、コンデンサ 19 の端子間には、オフセット電圧 (リセット電圧) が保持されていることになる。このリセット電圧は駆動用トランジスタ 11 a の特性に応じて異なる電圧値である。つまり、第 44 図 (a) の動作を実施することにより、各画素のコンデンサ 19 には
5 駆動用トランジスタ 11 a が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい)) 状態が保持されることになるのである (電流が流れ始める開始電圧にリセットされた)。

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、第 44 図 (a) のリセットの実施時間を長くするほど、
10 I b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、第 44 図 (a) の実施時間は固定値にする必要がある。実施時間は、0.2 H 以上 5 H (5 水平走査期間) 以下とすることが好ましい。さらには 0.5 H 以上 4 H 以下にすることが好ましい。あるいは、2 μ sec 以上 400 μ sec 以下とすることが好ましい。

15 また、ゲート信号線 17 e は前段の画素行のゲート信号線 17 a と共通にしておくことが好ましい。つまり、ゲート信号線 17 e と前段の画素行のゲート信号線 17 a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1 H 前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に限定されるものではない。
20 たとえば、2 画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ 11 a のリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下のようなになる。着目する画素行が (N) 画素行とし、そのゲート信号線がゲート信号線 17 e (N)、ゲート信号線 17 a (N) とする。1 H 前に選択される
25 前段の画素行は、画素行が (N-1) 画素行とし、そのゲート信号線がゲート信号線 17 e (N-1)、ゲート信号線 17 a (N-1) とする。また、着目画素行の次の 1 H 後に選択される画素行が (N+1) 画素行

とし、そのゲート信号線がゲート信号線 17 e (N+1)、ゲート信号線 17 a (N+1) とする。

第 (N-1) H 期間では、第 (N-1) 画素行のゲート信号線 17 a (N-1) にオン電圧が印加されると、第 (N) 画素行のゲート信号線 17 e (N) にもオン電圧が印加される。ゲート信号線 17 e (N) と前段の画素行のゲート信号線 17 a (N-1) とがショート状態で形成されているからである。したがって、第 (N-1) 画素行の画素のトランジスタ 11 b (N-1) がオンし、ソース信号線 18 の電圧が駆動用トランジスタ 11 a (N-1) のゲート (G) 端子に書き込まれる。同時に、第 (N) 画素行の画素のトランジスタ 11 e (N) がオンし、駆動用トランジスタ 11 a (N) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N) がリセットされる。

第 (N-1) H 期間の次の第 (N) 期間では、第 (N) 画素行のゲート信号線 17 a (N) にオン電圧が印加されると、第 (N+1) 画素行のゲート信号線 17 e (N+1) にもオン電圧が印加される。したがって、第 (N) 画素行の画素のトランジスタ 11 b (N) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N) のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画素のトランジスタ 11 e (N+1) がオンし、駆動用トランジスタ 11 a (N+1) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11 a (N+1) がリセットされる。

以下同様に、第 (N) H 期間の次の第 (N+1) 期間では、第 (N+1) 画素行のゲート信号線 17 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 17 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 11 b (N+1) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N+1) のゲート (G) 端子に書き込まれる。

同時に、第 $(N+2)$ 画素行の画素のトランジスタ $11e$ ($N+2$) がオンし、駆動用トランジスタ $11a$ ($N+2$) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ $11a$ ($N+2$) がリセットされる。

- 5 以上の本発明の前段ゲート制御方式では、 $1H$ 期間、駆動用トランジスタ $11a$ はリセットされ、その後、電圧 (電流) プログラムが実施される。

第33図 (a) も同様であるが、第44図 (a) のリセット状態と、第44図 (b) の電圧プログラム状態とを同期をとって行う場合は、第44図 (a) のリセット状態から、第44図 (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ $11a$ が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するよう
15 になる。また、画面 12 の輝度も低下する。

第44図 (a) を実施後、第44図 (b) の状態にする。第44図 (b) はトランジスタ $11b$ をオンさせ、トランジスタ $11e$ 、トランジスタ $11d$ をオフさせた状態である。第44図 (b) の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ 14 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ $11a$ のゲート (G) 端子に書き込む (駆動用トランジスタ $11a$ のゲート (G) 端子の電位をコンデンサ 19 に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ $11d$ を必ずしもオフさせる必要はない。また、第13図、第15図などの N 倍パルス駆動などと
20 組み合わせること、あるいは以上のような、間欠 N/K 倍パルス駆動 (1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ $11e$ をオンオフ動作させることにより容易に実現できる) を実施する必要がなければ、トランジスタ $11e$ が不要でない。このことは

以前に説明をしたので、説明を省略する。

第43図の構成あるいは第44図の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

第44図(b)の電流プログラミング後、第44図(c)に図示するように、トランジスタ11bをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流をEL素子15に流し、EL素子15を発光させる。

以上のように、第43図の電圧プログラムにおける本発明のリセット駆動は、まず、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流す第1の動作と、トランジスタ11aとEL素子15間を切断し、かつ、駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子（もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子）間をショートする第2の動作と、前記動作の後、駆動用トランジスタ11aに電圧プログラムを行う第3の動作を実施するものである。

以上の実施例では、駆動用トランジスタ素子11a（第1図の画素構成の場合）からEL素子15に流す電流を制御するのに、トランジスタ11dをオンオフさせて行う。トランジスタ11dをオンオフさせるためには、ゲート信号線17bを走査する必要がある。走査のためには、シフトレジスタ61（ゲート回路12）が必要となる。しかし、シフトレジスタ61は規模が大きく、ゲート信号線17bの制御にシフトレジスタ61を用いたのでは狭額縁化できない。第40図で説明する方式は、

この課題を解決するものである。

なお、本発明は、主として第 1 図などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、第 3 8 図などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、第 4 1 図などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、E L 素子 1 5 に流れる電流を間欠にする方式であるから、第 5 0 図などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。

第 4 0 図はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ 1 2 は基板 7 1 に直接形成したか、もしくはシリコンチップのゲートドライバ I C 1 2 を基板 7 1 に積載したとして説明をする。また、ソースドライバ 1 4 およびソース信号線 1 8 は図面が煩雑になるため省略する。

第 4 0 図において、ゲート信号線 1 7 a はゲートドライバ 1 2 と接続されている。一方、各画素のゲート信号線 1 7 b は点灯制御線 4 0 1 と接続されている。第 4 0 図では 4 本のゲート信号線 1 7 b が 1 つの点灯制御線 4 0 1 と接続されている。

なお、4 本のゲート信号線 1 7 b でブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域 5 0 は少なくとも 5 以上に分割することが好ましい。さらに好ましくは、1 0 以上に分割することが好ましい。さらには、2 0 以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線 4 0 1 の本数が多くなり、制御線 4 0 1 のレイアウトが困難になる。

したがって、Q C I F 表示パネルの場合は、垂直走査線の本数が 2 2

0本であるから、少なくとも、 $220/5=44$ 本以上でブロック化する
必要があり、好ましくは、 $220/10=11$ 以上でブロック化する
必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合
は、低フレームレートでも比較的フリッカの発生が少ないため、2つの

5 ブロック化で十分の場合がある。

第40図の実施例では、点灯制御線401a、401b、401c、
401d……401nと順次、オン電圧(Vg1)を印加するか、もし
くはオフ電圧(Vgh)を印加し、ブロックごとにEL素子15に流れ
る電流をオンオフさせる。

10 なお、第40図の実施例では、ゲート信号線17bと点灯制御線40
1とがクロスすることがない。したがって、ゲート信号線17bと点灯
制御線401とのショート欠陥は発生しない。また、ゲート信号線17
bと点灯制御線401とが容量結合することがないため、点灯制御線4
01からゲート信号線17b側を見た時の容量付加が極めて小さい。し
15 たがって、点灯制御線401を駆動しやすい。

ゲートドライバ12にはゲート信号線17aが接続されている。ゲー
ト信号線17aにオン電圧を印加することにより、画素行が選択され、
選択された各画素のトランジスタ11b、11cはオンして、ソース信
号線18に印加された電流(電圧)を各画素のコンデンサ19にプログ
20 ラムする。一方、ゲート信号線17bは各画素のトランジスタ11dの
ゲート(G)端子と接続されている。したがって、点灯制御線401に
オン電圧(Vg1)が印加されたとき、駆動用トランジスタ11aとE
L素子15との電流経路を形成し、逆にオフ電圧(Vgh)が印加され
た時は、EL素子15のアノード端子をオープンにする。

25 なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、
ゲートドライバ12がゲート信号線17aに出力する画素行選択電圧
(Vg1)のタイミングは1水平走査クロック(1H)に同期している
ことが好ましい。しかし、これに限定するものではない。

点灯制御線 401 に印加する信号は単に、EL 素子 15 への電流をオンオフさせるだけである。また、ソースドライバ 14 が出力する画像データと同期がとれている必要もない。点灯制御線 401 に印加する信号は、各画素 16 のコンデンサ 19 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは 1 H 信号に限定されるものではなく、 $1/2$ H でも、 $1/4$ H であってもよい。

第 38 図に図示したカレントミラーの画素構成の場合であっても、ゲート信号線 17b を点灯制御線 401 に接続することにより、トランジスタ 11e をオンオフ制御できる。したがって、ブロック駆動を実現できる。

なお、第 32 図において、ゲート信号線 17a を点灯制御線 401 に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1 つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

以上の実施例は、1 画素行ごとに 1 本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で 1 本の選択ゲート信号線を配置（形成）してもよい。

第 41 図はその実施例である。なお、説明を容易にするため、画素構成は第 1 図の場合を主として例示して説明をする。第 41 図では画素行の選択ゲート信号線 17a は 3 つの画素（16R、16G、16B）を同時に選択する。R の記号とは赤色の画素関連を意味し、G の記号とは緑色の画素関連を意味し、B の記号とは青色の画素関連を意味するものとする。

したがって、ゲート信号線 17a の選択により、画素 16R、画素 16G および画素 16B が同時に選択されデータ書き込み状態となる。画素 16R はソース信号線 18R からデータをコンデンサ 19R に書き込み、画素 16G はソース信号線 18G からデータをコンデンサ 19G

に書き込む。画素 1 6 B はソース信号線 1 8 B からデータをコンデンサ 1 9 B に書き込む。

画素 1 6 R のトランジスタ 1 1 d はゲート信号線 1 7 b R に接続されている。また、画素 1 6 G のトランジスタ 1 1 d はゲート信号線 1 7 b G に接続され、画素 1 6 B のトランジスタ 1 1 d はゲート信号線 1 7 b B に接続されている。したがって、画素 1 6 R の E L 素子 1 5 R、画素 1 6 G の E L 素子 1 5 G、画素 1 6 B の E L 素子 1 5 B は別個にオンオフ制御することができる。つまり、E L 素子 1 5 R、E L 素子 1 5 G、E L 素子 1 5 B はそれぞれのゲート信号線 1 7 b R、1 7 b G、1 7 b B を制御することにより、点灯時間、点灯周期を個別に制御可能である。

この動作を実現するためには、第 6 図の構成において、ゲート信号線 1 7 a を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b R を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b G を走査するシフトレジスタ回路 6 1 と、ゲート信号線 1 7 b B を走査するシフトレジスタ回路 6 1 の 4 つを形成（配置）することが適切である。

なお、ソース信号線 1 8 に所定電流の N 倍の電流を流し、E L 素子 1 5 に所定電流の N 倍の電流を $1/N$ の期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線 1 7 に印加した信号パルスがコンデンサ 1 9 に突き抜け、コンデンサ 1 9 に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ 1 9 には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10 倍の電流値を設定するように駆動しても、5 倍程度の電流しかコンデンサ 1 9 には設定されない。たとえば、 $N=10$ としても実際に E L 素子 1 5 に流れる電流は $N=5$ の場合と同一となる。したがって、本発明は N 倍の電流値を設定し、 N 倍に比例したあるいは対応する電流を E L 素子 1 5 に流れるように駆動する方法である。もしくは、所望値よりも大きい電流を E L 素子 1 5 にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、E L 素子 1 5 に連続して電流を流

すと所望輝度よりも高くなるような電流)を駆動用トランジスタ 11 a (第 1 図を例示する場合)に電流(電圧)プログラムを行い、EL 素子 15 に流れる電流を間欠にすることにより、所望の EL 素子の発光輝度を得るものである。

- 5 なお、このコンデンサ 19 への突き抜けによる補償回路は、ソースドライバ 14 内に導入する。この事項については後ほど説明をする。

また、第 1 図などのスイッチングトランジスタ 11 b、11 c などは N チャンネルで形成することが好ましい。コンデンサ 19 への突き抜け電圧が低減するからである。また、コンデンサ 19 のオフリークも減少
10 するから、10 Hz 以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧が EL 素子 15 に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現で
15 きる。

逆に、第 1 図のスイッチングトランジスタ 11 b、11 c を P チャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。P チャンネルトランジスタ 11 b がオフするときには V_{gh} 電圧となる。そのため、コンデンサ 19 の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ 11 a のゲート (G) 端子電圧は上昇し、より黒表示となる。また、第 1 階調表示とする電流値を大きくすることができるから(階調 1 までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

その他、ゲート信号線 17 a とトランジスタ 11 a のゲート (G) 端子間に積極的にコンデンサ 19 b を形成し、突き抜け電圧を増加させる構成も有効である(第 42 図 (a) を参照)。このコンデンサ 19 b の容量は正規のコンデンサ 19 a の容量の $1/50$ 以上 $1/10$ 以下にすることが好ましい。さらには $1/40$ 以上 $1/15$ 以下とすることが
25

好ましい。もしくはトランジスタ 11b のソースゲート（ソースドレイン（SG）もしくはゲートドレイン（GD））容量の 1 倍以上 10 倍以下にする。さらに好ましくは、SG 容量の 2 倍以上 6 倍以下にすることが好ましい。なお、コンデンサ 19b の形成位置は、コンデンサ 19a の一方の端子（トランジスタ 11a のゲート（G）端子）とトランジスタ 11d のソース（S）端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

突き抜け電圧発生用のコンデンサ 19b の容量（容量を C_b (pF) とする）は、電荷保持用のコンデンサ 19a の容量（容量を C_a (pF) とする）と、トランジスタ 11a の白ピーク電流時（画像表示で表示最大輝度の白ラスタ時）のゲート（G）端子電圧 V_w を黒表示での電流を流す（基本的には電流は 0 である。つまり、画像表示で黒表示としている時）時のゲート（G）端子電圧 V_b が関連する。これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $|V_w - V_b|$ とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である（つまり、変化する電圧幅）。

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

トランジスタ 11b は P チャンネルにし、この P チャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4 ゲート以上にする。そして、トランジスタ 11b のソースゲート（SG もしくはゲートドレイン（GD））容量（トランジスタがオンしているときの容量）の 1 倍以上 10 倍以下のコンデンサを並列に形成または配置することが好ましい。

なお、以上の事項は、第 1 図の画素構成だけでなく、他の画素構成でも有効である。たとえば、第 42 図（b）に図示するようにカレントミ

ラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線 17 a または 17 b とトランジスタ 11 a のゲート (G) 端子間に配置または形成する。スイッチングトランジスタ 11 c の N チャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ 11 c、

5 11 d を P チャンネルとし、トリプルゲート以上とする。

41 の電圧プログラムの構成にあつては、ゲート信号線 17 c と駆動用トランジスタ 11 a のゲート (G) 端子間に突き抜け電圧発生用のコンデンサ 19 c を形成または配置する。また、スイッチングトランジスタ 11 c はトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン (D) 端子 (コンデンサ 19 b 側) と、ゲート信号線 17 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 a のゲート (G) 端子と、ゲート信号線 17 a 間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン (D) 端子 (コンデンサ 19 b 側) と、ゲート信号線 17 c 間に配置してもよい。

また、電荷保持用のコンデンサ 19 a の容量を C_a とし、スイッチング用のトランジスタ 11 c または 11 d) のソースゲート容量 C_c (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号 (V_{gh}) とし、ゲート信号線に印加される低電圧信号 (V_{gl}) とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

$$0.05(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8(V)$$

さらに好ましくは、以下の条件を満足させることが好ましい。

$$0.1(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5(V)$$

以上の事項は第 43 図などの画素構成にも有効である。第 43 図の電圧プログラムの画素構成では、トランジスタ 11 a のゲート (G) 端子

とゲート信号線 17 a 間に突き抜け電圧発生用のコンデンサ 19 b を形成または配置する。

5 なお、突き抜け電圧を発生させるコンデンサ 19 b は、トランジスタのソース配線とゲート配線で形成する。ただし、トランジスタ 11 のソース幅を広げて、ゲート信号線 17 と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

10 また、スイッチングトランジスタ 11 b、11 c（第 1 図の構成の場合）を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ 19 b を構成する方式も本発明の範疇である。スイッチングトランジスタ 11 b、11 c はチャンネル幅 W / チャンネル長 $L = 6 / 6 \mu m$ で形成することが多い。これを W と大きくすることも突き抜け電圧用のコンデンサ 19 b を構成することになる。例えば、 $W : L$ の比を $2 : 1$ 以上 $20 : 1$ 以下にする構成が例示される。好ましくは、 $W : L$ の比を $3 : 1$ 以上 $10 : 1$ 以下にすることがよい。

15 また、突き抜け電圧用のコンデンサ 19 b は、画素が変調する R, G, B で大きさ（容量）を変化させることが好ましい。R, G, B の各 EL 素子 15 の駆動電流が異なるためである。また、EL 素子 15 のカットオフ電圧が異なるためである。そのため、EL 素子 15 の駆動用トランジスタ 11 a のゲート（G）端子にプログラムする電圧（電流）が異なるからである。たとえば、R の画素のコンデンサ 11 b R を $0.02 pF$ とした場合、他の色（G、B の画素）のコンデンサ 11 b G、11 b B を $0.025 pF$ とする。また、R の画素のコンデンサ 11 b R を $0.02 pF$ とした場合、G の画素のコンデンサ 11 b G と $0.03 pF$ とし、B の画素のコンデンサ 11 b B を $0.025 pF$ とするなどである。

20 このように、R, G, B の画素ごとにコンデンサ 11 b の容量を変化させることのよりオフセットの駆動電流を R, G, B ごとに調整することができる。したがって、各 R, G, B の黒表示レベルを最適値にすることができる。

- 以上は、突き抜け電圧発生用のコンデンサ 19 b の容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量の相対的なものである。したがって、コンデンサ 19 b を R, G, B の画素で変化することに限定するものではない。つまり、保持用コンデンサ 19 a の容量を変化させてもよい。
- たとえば、R の画素のコンデンサ 11 a R を 1.0 pF とした場合、G の画素のコンデンサ 11 a G と 1.2 pF とし、B の画素のコンデンサ 11 a B を 0.9 pF とするなどである。この時、突き抜け用コンデンサ 19 b の容量は、R, G, B で共通の値とする。したがって、本発明は、保持用のコンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b との容量比を、R, G, B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 19 a の容量と突き抜け電圧発生用のコンデンサ 19 b との容量との両方を R, G, B 画素で変化させてもよい。
- また、画面 50 の左右で突き抜け電圧用のコンデンサ 19 b の容量を変化させてもよい。ゲートドライバ 12 に近い位置にある画素 16 は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線 17 端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線 17 には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ 12 との接続側に近い画素 16 の突き抜け電圧用コンデンサ 19 b を小さくする。また、ゲート信号線 17 端はコンデンサ 19 b を大きくする。たとえば、画面の左右でコンデンサの容量は 10 % 程度変化させる。

発生する突き抜け電圧は、保持用コンデンサ 19 a と突き抜け電圧発生用のコンデンサ 19 b の容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ 19 b の大きさを変化させると

したが、これに限定するものではない。突き抜け電圧発生用のコンデンサ 19 b は画面の左右で一定にし、電荷保持用のコンデンサ 19 a の容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ 19 b と、電荷保持用のコンデンサ 19 a 容量の両方を画面の左右で変化させてもよいことは言うまでもない。

本発明の N 倍パルス駆動の課題に EL 素子 15 に印加する電流が瞬時的ではあるが、従来と比較して N 倍大きいという問題がある。電流が大きいと EL 素子の寿命を低下させる場合がある。この課題を解決するためには、EL 素子 15 に逆バイアス電圧 V_m を印加することが有効である。

EL 素子 15 において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりのようにキャリアが蓄積されたりする。

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

第 45 図は、逆バイアス電圧 V_m と EL 素子 15 の端子電圧の変化を示している。この端子電圧とは、EL 素子 15 に定格電流を印加した時である。第 45 図は EL 素子 15 に流す電流が電流密度 $100 \text{ A} / \text{平方}$ メーターの場合であるが、第 45 図の傾向は、電流密度 $50 \sim 100 \text{ A}$

／平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比である。たとえば、経過時間0時間において、電流密度100A／平方メートルの電流の印加した時の端子電圧が8（V）とし、経過時間2500時間において、電流密度100A／平方メートルの電流の印加した時の端子電圧が10（V）とすれば、端子電圧比は、 $10 / 8 = 1.25$ である。

横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比である。たとえば、60Hz（とくに60Hzに意味はないが）で、逆バイアス電圧 V_m を印加した時間が $1/2$ （半分）であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度100A／平方メートルの電流の印加した時の端子電圧（定格端子電圧）が8（V）とし、逆バイアス電圧 V_m を8（V）とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8 \text{ (V)} \times 0.5 | / (8 \text{ (V)} \times 0.5) = 1.0$ となる。

第45図によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.0以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアス V_m と定格電流とを

交互に印加する必要がある。第46図のようにサンプルAとBとの単位時間あたりの平均輝度を等しくしようとする、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合（第46図のサンプルA）のEL素子15の端子電圧も高くなる。

しかし、第45図では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 とは、平均輝度を満足する端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度 $200\text{ A}/\text{平方メートル}$ の電流の印加した時の端子電圧である。ただし、 $1/2$ デューティであるので、1周期の平均輝度は電流密度 $200\text{ A}/\text{平方メートル}$ での輝度となる）。

以上の事項は、EL素子15を、白ラスタ表示（画面全体のEL素子に最大電流を印加している場合）を想定している。しかし、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度 $100\text{ A}/\text{平方メートル}$ の電流）が流れているのではない。

一般的に、映像表示を行う場合は、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度 $100\text{ A}/\text{平方メートル}$ の電流）の約0.2倍である。

したがって、第45図の実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は0.2以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間

比 t_1 などを決定するとよい。

つまり、第 45 図の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）において、1.0 の値を 0.2 とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が 0.2 よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、第 45 図で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスタ表示を実施することとも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が 1.75 以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明は EL 素子 15 に電流が流れていない期間に逆バイアス電圧 V_m （電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL 素子 15 に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は、結果として EL 素子 15 には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心として説明するがこれに限定するものではない。

逆バイアス駆動の画素構成では、第 47 図に図示するように、トランジスタ 11g を N チャンネルとする。もちろん、P チャンネルでもよい。

第 47 図では、ゲート電位制御線 473 に印加する電圧を逆バイアス線 471 に印加している電圧よりも高くすることにより、トランジスタ 11g（N）がオンし、EL 素子 15 のアノード電極に逆バイアス電圧 V_m が印加される。

また、第 47 図の画素構成などにおいて、ゲート電位制御線 473 を

常時、電位固定して動作させてもよい。たとえば、第 47 図において V_k 電圧が 0 (V) とする時、ゲート電位制御線 473 の電位を 0 (V) 以上 (好ましくは 2 (V) 以上) にする。なお、この電位を V_{sg} とする。この状態で、逆バイアス線 471 の電位を逆バイアス電圧 V_m (0
5 (V) 以下、好ましくは V_k より -5 (V) 以上小さい電圧) にすると、トランジスタ 11g (N) がオンし、EL 素子 15 のアノードに、逆バイアス電圧 V_m が印加される。逆バイアス線 471 の電圧をゲート電位制御線 473 の電圧 (つまり、トランジスタ 11g のゲート (G) 端子電圧) よりも高くすると、トランジスタ 11g はオフ状態であるため、
10 EL 素子 15 には逆バイアス電圧 V_m は印加されない。もちろん、この状態の時に、逆バイアス線 471 をハイインピーダンス状態 (オープン状態など) としてもよいことは言うまでもない。

また、第 48 図に図示するように、逆バイアス線 471 を制御するゲートドライバ 12c を別途形成または配置してもよい。ゲートドライバ
15 12c は、ゲートドライバ 12a と同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

以上の駆動方法では、トランジスタ 11g のゲート (G) 端子は電位固定し、逆バイアス線 471 の電位を変化させるだけで、EL 素子 15 に逆バイアス電圧 V_m を印加することができる。したがって、逆バイアス電圧 V_m の印加制御が容易である。また、トランジスタ 11g のゲート (G) 端子とソース (S) 端子間に印加される電圧を低減できる。このことは、トランジスタ 11g が P チャンネルの場合も同様である。
20

また、逆バイアス電圧 V_m の印加は、EL 素子 15 に電流を流していない時に行うものである。したがって、トランジスタ 11d がオンしていない時に、トランジスタ 11g をオンさせることにより行えばよい。
25 つまり、トランジスタ 11d のオンオフロジックの逆をゲート電位制御線 473 に印加すればよい。たとえば、第 47 図では、ゲート信号線 17b にトランジスタ 11d およびトランジスタ 11g のゲート (G) 端

子を接続すればよい。トランジスタ 11d は P チャンネルであり、トランジスタ 11g は N チャンネルであるため、オンオフ動作は反対となる。

第 49 図は逆バイアス駆動のタイミングチャートである。なお、チャート図において (1) (2) などの添え字は、画素行を示している。説明

5 明を容易にするため、(1) とは、第 1 画素行目と示し、(2) とは第 2 画素行目を示すとして説明をするが、これに限定するものではない。

(1) が N 画素行目を示し、(2) が N+1 画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、第 49 図などの実施例では、第 1 図などの画素構成を例示して説明をする
10 がこれに限定されるものではない。たとえば、第 41 図、第 38 図などの画素構成においても適用できるものである。

第 1 画素行目のゲート信号線 17a (1) にオン電圧 (V_{g1}) が印加されている時には、第 1 画素行目のゲート信号線 17b (1) にはオフ電圧 (V_{gh}) が印加される。つまり、トランジスタ 11d はオフで
15 あり、EL 素子 15 には電流が流れていない。

逆バイアス線 471 (1) には、 V_{s1} 電圧 (トランジスタ 11g がオンする電圧) が印加される。したがって、トランジスタ 11g がオンし、EL 素子 15 には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線 17b にオフ電圧 (V_{gh}) が印加された後、所定期間 ($1H$ の $1/200$ 以上の期間、または、 $0.5\mu sec$) 後に、
20 逆バイアス電圧が印加される。また、ゲート信号線 17b にオン電圧 (V_{g1}) が印加される所定期間 ($1H$ の $1/200$ 以上の期間、または、 $0.5\mu sec$) 前に、逆バイアス電圧がオフされる。これは、トランジスタ 11d とトランジスタ 11g が同時にオンとなることを回避する
25 ためである。

次の水平走査期間 ($1H$) には、ゲート信号線 17a にはオフ電圧 (V_{gh}) が印加され、第 2 画素行が選択される。つまり、ゲート信号線 17b (2) にオン電圧が印加される。一方、ゲート信号線 17b にはオ

ン電圧 (V_{g1}) が印加され、トランジスタ 11d がオンして、EL 素子 15 にトランジスタ 11a から電流が流れ EL 素子 15 が発光する。また、逆バイアス線 471 (1) にはオフ電圧 (V_{sh}) が印加されて、第 1 画素行 (1) の EL 素子 15 には逆バイアス電圧が印加されないよう
5 うになる。第 2 画素行の逆バイアス線 471 (2) には V_{s1} 電圧 (逆バイアス電圧) が印加される。

以上の動作を順次くりかえすことにより、1 画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、第 48 図の回路構
10 成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動 (第 40 図参照) や、N 倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

また、逆バイアス電圧の印加は、画像表示の途中に実施することに限定するものではない。EL 表示装置の電源オフ後、一定の期間の間、逆
15 バイアス電圧が印加されるように構成してもよい。

以上の実施例は、第 1 図の画素構成の場合であったが、他の構成においても、第 38 図、第 41 図などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、第 50 図は電流プログラム
20 方式の画素構成である。

第 50 図は、カレントミラーの画素構成である。トランジスタ 11c は画素選択素子である。ゲート信号線 17a1 にオン電圧を印加することにより、トランジスタ 11c がオンする。トランジスタ 11d はリセット機能と、駆動用トランジスタ 11a のドレイン (D) - ゲート (G) 端子間をショート (GD ショート) する機能を有するスイッチ素子である。
25 トランジスタ 11d はゲート信号線 17a2 にオン電圧を印加することによりオンする。

トランジスタ 11d は、該当画素が選択する 1H (1 水平走査期間、

つまり 1 画素行) 以上前にオンする。好ましくは 3 H 前にはオンさせる。3 H 前とすれば、3 H 前にトランジスタ 11 d がオンし、トランジスタ 11 a のゲート (G) 端子とドレイン (D) 端子がショートされる。そのため、トランジスタ 11 a はオフする。したがって、トランジスタ 11 b には電流が流れなくなり、EL 素子 15 は非点灯となる。

EL 素子 15 が非点灯状態の時、トランジスタ 11 g がオンし、EL 素子 15 に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ 11 d がオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ 11 d とトランジスタ 11 g とは同時にオンすることになる。

トランジスタ 11 g のゲート (G) 端子は V_{sg} 電圧が印加されて固定されている。逆バイアス線 471 を V_{sg} 電圧より十分に小さな逆バイアス電圧を逆バイアス線 471 に印加することによりトランジスタ 11 g がオンする。

その後、前記該当画素に映像信号が印加 (書き込まれる) される水平走査期間がくると、ゲート信号線 17 a 1 にオン電圧が印加され、トランジスタ 11 c がオンする。したがって、ソースドライバ 14 からソース信号線 18 に出力された映像信号電圧がコンデンサ 19 に印加される (トランジスタ 11 d はオン状態が維持されている)。

トランジスタ 11 d をオンさせると黒表示となる。1 フィールド (1 フレーム) 期間に占めるトランジスタ 11 d のオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても 1 フィールド (1 フレーム) の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間に EL 素子 15 に流す電流と大きくする必要がある。この動作は、本発明の N 倍パルス駆動である。したがって、N 倍パルス駆動と、トランジスタ 11 d をオンさせて黒表示とする駆動とを組み合わせることが本発明の 1 つの特徴ある動作である。また、EL 素子 15 が非点灯状態で、逆バイアス電圧を

EL素子15に印加することが本発明の特徴ある構成（方式）である。

5 以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ11gを各画素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

10 例えば、第1図の画素構成において、画素16を選択し（トランジスタ11b、トランジスタ11cをオンさせる）、ソースドライバIC（回路）14から、ソースドライバICが出力できる低い電圧V0（例えば、GND電圧）を出力して駆動用トランジスタ11aのドレイン端子（D）に印加する。この状態でトランジスタ11dもオンさせればEL

15 のアノード端子にV0電圧が印加される。同時に、EL素子15のカソードVkにV0電圧に対し、 $-5 \sim -15$ （V）低い電圧Vm電圧を印加すればEL素子15に逆バイアス電圧が印加される。また、Vdd電圧もV0電圧より $0 \sim -5$ （V）低い電圧を印加することにより、トランジスタ11aもオフ状態となる。以上のようにソースドライバ14から電圧を出力し、ゲート信号線17を制御することにより、逆バイアス電圧をEL素子15に印加することができる。

20 N倍パルス駆動は、1フィールド（1フレーム）期間内において、1度、黒表示をしても再度、EL素子15に所定の電流（プログラムされた電流（コンデンサ19に保持されている電圧による））を流すことができる。しかし、第50図の構成では、一度、トランジスタ11dがオンすると、コンデンサ19の電荷は放電（減少を含む）されるため、EL

25 L素子15に所定の電流（プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、第38図、第50図のような他

の電流方式の画素構成にも適用することができる。また、第 5 1 図、第 5 4 図、第 6 2 図に図示するような電圧プログラムの画素構成でも適用することができる。

第 5 1 図は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ 1 1 b が選択スイッチング素子であり、トランジスタ 1 1 a が E L 素子 1 5 に電流を印加する駆動用トランジスタである。この構成で、E L 素子 1 5 のアノードに逆バイアス電圧印加用のトランジスタ（スイッチング素子） 1 1 g を配置（形成）している。

第 5 1 図の画素構成では、E L 素子 1 5 に流す電流は、ソース信号線 1 8 に印加され、トランジスタ 1 1 b が選択されることにより、トランジスタ 1 1 a のゲート（G）端子に印加される。

まず、第 5 1 図の構成を説明するために、基本動作について第 5 2 図を用いて説明をする。第 5 1 図の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の 4 段階で動作する。

水平同期信号（HD）後、初期化動作が実施される。ゲート信号線 1 7 b にオン電圧が印加され、トランジスタ 1 1 g がオンする。また、ゲート信号線 1 7 a にもオン電圧が印加され、トランジスタ 1 1 c がオンする。この時、ソース信号線 1 8 には V d d 電圧が印加される。したがって、コンデンサ 1 9 b の a 端子には V d d 電圧が印加されることになる。この状態で、駆動用トランジスタ 1 1 a はオンし、E L 素子 1 5 に僅かな電流が流れる。この電流により駆動用トランジスタ 1 1 a のドレイン（D）端子は少なくともトランジスタ 1 1 a の動作点よりも大きな絶対値の電圧値となる。

次にリセット動作が実施される。ゲート信号線 1 7 b にオフ電圧が印加され、トランジスタ 1 1 e がオフする。一方、ゲート信号線 1 7 c に T 1 の期間、オン電圧が印加され、トランジスタ 1 1 b がオンする。この T 1 の期間がリセット期間である。また、ゲート信号線 1 7 a には 1

Hの期間、継続してオン電圧が印加される。なお、T1は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、 $20\mu\text{s}$ 以上 $160\mu\text{s}$ 以下の時間とすることが好ましい。また、コンデンサ19b(Cb)とコンデンサ19a(Ca)の容量の比率は、Cb : Ca = 6 : 1以上1 : 2以下とすることが好ましい。

リセット期間では、トランジスタ11bのオンにより、駆動用トランジスタ11aのゲート(G)端子とドレイン(D)端子間がショートされる。したがって、トランジスタ11aのゲート(G)端子電圧とドレイン(D)端子電圧が等しくなり、トランジスタ11aはオフセット状態(リセット状態：電流が流れない状態)となる。このリセット状態とはトランジスタ11aのゲート(G)端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ19bのb端子に保持される。したがって、コンデンサ19には、オフセット電圧(リセット電圧)が保持されていることになる。

次のプログラム状態では、ゲート信号線17cにオフ電圧が印加されトランジスタ11bがオフする。一方、ソース信号線18には、Tdの期間、DATA電圧が印加される。したがって、駆動用トランジスタ11aのゲート(G)端子には、DATA電圧+オフセット電圧(リセット電圧)が加えられたものが印加される。そのため、駆動用トランジスタ11aはプログラムされた電流を流せるようになる。

プログラム期間後、ゲート信号線17aにはオフ電圧が印加され、トランジスタ11cはオフ状態となり、駆動用トランジスタ11aはソース信号線18から切り離される。また、ゲート信号線17cにもオフ電圧が印加され、トランジスタ11bがオフし、このオフ状態は1Fの期間保持される。一方、ゲート信号線17bには、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、第13図、第15図などのN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

第52図の駆動方式では、リセット状態でコンデンサ19には、トランジスタ11aの開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ11aのゲート（G）端子に印加されている時が、最も暗い黒表示状態である。しかし、

5 ソース信号線18と画素16とのカップリング、コンデンサ19への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、第53図で説明した駆動方法では、表示コントラストを高くすることができない。

10 逆バイアス電圧 V_m をEL素子15に印加するためには、トランジスタ11aがオフさせる必要がある。トランジスタ11aをオフさせるためには、トランジスタ11aの V_{dd} 端子とゲート（G）端子間をショートすればよい。この構成については、後に第53図を用いて説明をする。

15 また、ソース信号線18に V_{dd} 電圧またはトランジスタ11aをオフさせる電圧を印加し、トランジスタ11bをオンさせてトランジスタ11aのゲート（G）端子に印加させてもよい。この電圧によりトランジスタ11aがオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ11aが高インピーダンス状態））。その後、トランジスタ11gをオンさせて、EL素子15に逆
20 バイアス電圧を印加する。この逆バイアス電圧 V_m の印加は、全画素同時に行ってもよい。つまり、ソース信号線18にトランジスタ11aを略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ11bをオンさせる。したがって、トランジスタ11aがオフする。その後、トランジスタ11gをオンさせて、逆バイアス電圧をEL素子15
25 に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

次に、第51図の画素構成におけるリセット駆動について説明をする。第53図はその実施例である。第53図に示すように画素16aのトラ

ンジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a は次段画素 16b のリセット用トランジスタ 11b のゲート (G) 端子にも接続されている。同様に、画素 16b のトランジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a は次段画素 16c のリセット用トランジスタ 11b のゲート (G) 端子に接続されている。

したがって、画素 16a のトランジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a にオン電圧を印加すると、画素 16a が電圧プログラム状態となるとともに、次段画素 16b のリセット用トランジスタ 11b がオンし、画素 16b の駆動用トランジスタ 11a がリセット状態となる。同様に、画素 16b のトランジスタ 11c のゲート (G) 端子に接続されたゲート信号線 17a にオン電圧を印加すると、画素 16b が電流プログラム状態となるとともに、次段画素 16c のリセット用トランジスタ 11b がオンし、画素 16c の駆動用トランジスタ 11a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

さらに詳しく説明する。第 53 図 (a) のようにゲート信号線 17 に電圧が印加されているとする。つまり、画素 16a のゲート信号線 17a にオン電圧が印加され、他の画素 16 のゲート信号線 17a にオフ電圧が印加されているとする。また、ゲート信号線 17b は画素 16a、16b にはオフ電圧が印加され、画素 16c、16d にはオン電圧が印加されているとする。

この状態では、画素 16a は電圧プログラム状態で非点灯、画素 16b はリセット状態で非点灯、画素 16c はプログラム電流の保持状態で点灯、画素 16d はプログラム電流の保持状態で点灯状態である。

1H 後、制御用ゲートドライバ 12 のシフトレジスタ回路 61 内のデータが 1 ビットシフトし、第 53 図 (b) の状態となる。第 53 図 (b) の状態は、画素 16a はプログラム電流保持状態で点灯、画素 16b は

電流プログラム状態で非点灯、画素 1 6 c はリセット状態で非点灯、画素 1 6 d はプログラム保持状態で点灯状態である。

5 以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

第 4 3 図に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。第 5 4 図は第 4 3 図の画素構成を前段ゲート制御方式の接続とした実施例である。

10 第 5 4 図に示すように画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 b のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 c のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。

15 したがって、画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用トランジスタ 1 1 e がオンし、画素 1 6 b の駆動用トランジスタ 1 1 a がリセット状態となる。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、
20 画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリセット用トランジスタ 1 1 e がオンし、画素 1 6 c の駆動用トランジスタ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

25 さらに詳しく説明する。第 5 5 図 (a) のようにゲート信号線 1 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線 1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ

1 1 g はオフ状態であるとする。

この状態では、画素 1 6 a は電圧プログラム状態、画素 1 6 b はリセット状態、画素 1 6 c はプログラム電流の保持状態、画素 1 6 d はプログラム電流の保持状態である。

- 5 1 H 後、制御用ゲートドライバ 1 2 のシフトレジスタ回路 6 1 内のデータが 1 ビットシフトし、第 5 5 図 (b) の状態となる。第 5 5 図 (b) の状態は、画素 1 6 a はプログラム電流保持状態、画素 1 6 b は電流プログラム状態、画素 1 6 c はリセット状態、画素 1 6 d はプログラム保持状態である。

- 10 以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

- 電流駆動方式では、完全黒表示では、画素の駆動用トランジスタ 1 1 にプログラムされる電流は 0 である。つまり、ソースドライバ 1 4 から
15 は電流が流れない。電流が流れなければ、ソース信号線 1 8 に発生した寄生容量を充放電することができず、ソース信号線 1 8 の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1 フレーム (フィールド) (1 F) 前の電位がコンデンサ 1 9 に蓄積されたままとなる。たとえば、1 フレーム前が白
20 表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。

[プリチャージ電圧印加に係る発明の実施の形態]

- ここで、主として電流駆動方式の課題について説明し、この課題を解決したプリチャージ電圧印加に係る発明の構成について説明する。なお、
25 書込み不足の問題は、電流駆動のみではなく、電圧駆動でも発生する場合がある。したがって、本発明は、電圧駆動にも適用することができる。第 1 図でも説明したが、第 6 4 図の各画素 1 6 の発光素子 1 5 を表示させるには、1 水平走査期間 (1 H) 内でゲート信号線 1 7 a によりトラ

ンジスタ 11 b および 11 c を導通状態とする。次に、アノード電圧 V_{dd} よりトランジスタ 11 a およびソース信号線 18 を介してソースドライバ 14 に電流 I_w (プログラム電流 I_w) を引き込ませる。この時の電流量の大小により階調表示を行う。コンデンサ 19 にはトランジスタ 11 a のドレイン電流に対応するゲート電圧が蓄積される。

5 なお、本発明の実施例は、本明細書に記載した他の実施例と組み合わせて用いることが好ましい。たとえば、第 45 図、第 50 図の逆バイアス電圧駆動、第 14 図、第 17 図、第 19 図、第 24 図、第 37 図、第 53 図などの駆動方法との組み合わせである。その他、パネル構成に対して

10 しても組み合わせることができることはいうまでもない。たとえば、第 8 図、第 9 図、第 10 図、第 11 図、第 27 図、第 40 図、第 41 図、第 48 図の構造などである。

その後、ゲート信号線 17 b によりトランジスタ 11 d を導通させ、ゲート信号線 17 a によりトランジスタ 11 b、11 c を非導通状態とし、 V_{dd} よりコンデンサ 19 の電荷 (すなわち制御電圧) に応じた電流がトランジスタ 11 a を介して発光素子 15 に流れる。

15 ソース信号線 18 の浮遊容量 641 とトランジスタ 11 a のソースドレイン (S-D) 間抵抗の積によりソース信号線 18 に流れる電流は徐々に変化する。そのため、浮遊容量 641 の容量値および抵抗値が大きくなると、1 水平走査期間 (1 H) 内に電流が所定の値まで変化しないことがある。ソース信号線 18 に流れる電流が小さく (低階調に) なるにつれ、トランジスタ 11 a のソースドレイン (S-D) 間抵抗が大きくなるため、電流が小さくなるほど、変化に時間がかかる。トランジスタ 11 a のダイオード特性と、ソース信号線 18 の浮遊容量 641

20 の容量値によるが、例えばソース信号線 18 に流す電流が $1 \mu A$ に変化するのに 50μ 秒かかるのに対し、 $10 n A$ に変化するのには 250μ 秒かかる。

ソース信号線 18 に流れる電流値は V_{dd} からトランジスタ 11 a

を介して、電荷をソース信号線 1 8 に供給し、浮遊容量 6 4 1 の電荷を変化させることで変化する。つまり、ソース信号線 1 8 の電圧を変化させと、トランジスタ 1 1 a を流れる電流（＝ソース信号線 1 8 を流れる電流）が変化する。電荷の供給量は、電流が小さい領域では少ない。低
5 階調領域（黒表示領域）では電流が小さい。したがって、黒表示領域では、ソース信号線 1 8 の電圧変化が遅くなり、その結果電流値の変化も遅くなる。

電流値の変化を早くするためには、所定のソース電流値に対応する電圧を、ソース信号線 1 8 に印加すればよい。トランジスタ 1 1 a のゲー
10 ト電位をソース信号線 1 8 の浮遊容量と配線抵抗の積による時定数により変化させることができるからである。この方法により、トランジスタ 1 1 a は所定の電流をソース信号線 1 8 に流すように変化する。

配線抵抗はトランジスタ 1 1 a のソースドレイン（S－D）間抵抗に比べ、非常に小さい。したがって、ソース信号線 1 8 に印加する電圧
15 による変化は非常に速くなる。一例として、1～3 μ 秒程度で完全に目標値に変化させることができる。

但し、所定の電流値をソース信号線 1 8 に流すためのソース電圧はトランジスタ 1 1 a の電流－電圧特性のばらつきにより変化する。したがって、所定電流値からのずれを補償するために所定電流値を流す電流源
20 をソース信号線 1 8 に接続して、ソース信号線 1 8 に流れる電流値を所定電流値にまで変化させる必要がある。

このことを実現するために、本発明におけるソースドライバ 1 4 の各出力部を第 6 3 図のような構成とした。

階調データ（階調情報）はソースドライバ 1 4 内の階調データ配線 6
25 3 3 で伝達される。階調データに応じた電流を電流発生部（信号用電流源）6 3 4 が発生し、その電流がソース信号線 1 8 に出力され、ソース信号線 1 8 に階調に応じた電流を流す。電圧発生部 6 3 1 ではプリチャージ（あるいはソース信号線 1 8 の電荷を放電させるという意味ではデ

イスチャージ) 電圧を発生する。電圧発生部 6 3 1 からのプリチャージ (ディスチャージ) 電圧は、プリチャージスイッチ (第 2 の切換スイッチ) 6 3 6 を介してソース信号線 1 8 に出力できるように構成されている。

- 5 階調に応じた電圧を印加後、階調に応じた電流を流す方法では複数の電圧源と複数の電流源が必要となるので、回路規模が大きくなる。本発明では、プリチャージ電圧は 1 もしくは 2 - 3 種類であるので、回路構成も容易であるため、回路規模は小さい。

10 電流値の変化はトランジスタ 1 1 a の見かけの抵抗が、低階調表示時に比べ高階調表示時の方が小さくなるため、波形の変化の速度は階調が増加するにつれ早くなる。そこで、書きこみにくい黒にあわせた電圧を印加し、その後所定の電流値をソース信号線 1 8 に流すことで所定の階調を表示するようにする。もしくは、完全黒表示 (階調 0) のみにプリチャージ電圧をソース信号線 1 8 に印加するように構成する。

- 15 なお、階調 0 のみにプリチャージ電圧を印加する場合であっても、R, G, B でプリチャージ電圧を異ならせることができるように構成することが好ましい。R, G, B で EL 素子 1 5 の発光開始電圧が異なっているからである。もちろん、R, G, B の EL 素子 1 5 の発光開始電圧などが、ほぼ同一の場合は、同一にしてもよいことは言うまでもない。また、R, G, B で駆動トランジスタ 1 1 a の W/L 比、トランジスタサ
20 イズが異なっている場合も、R, G, B でプリチャージ電圧を異ならせることができるように構成することが好ましい。

第 6 3 図において、最も低階調に相当する電圧 (以下黒電圧とする) を電圧発生部 6 3 1 において発生させ、階調データ信号配線 6 3 3 の階
25 調データに応じた電流を電流発生部 6 3 4 より出力する。1 水平走査期間 (1 H) 内で電圧印加を始めの 0. 2 ~ 3 μ 秒行い、その後電流出力を行うために、制御部 (ゲートドライバ: 図 1 参照) 1 2 で 1 水平走査期間を検出し、クロックおよびカウンタなどによりプリチャージスイッ

チ 6 3 6 の導通期間を設定する。出力電流スイッチ（第 1 の切換スイッチ） 6 3 7 は常に導通状態であっても構わないが、プリチャージスイッチ 6 3 6 の導通期間には非導通状態とするほうが望ましい。第 6 5 図の単位電流源 6 5 4 などに影響を与えることを防止するためである。

5 7 3 図に 1 水平走査期間内でのスイッチ 6 3 6, 6 3 7 の動作を示す。

水平走査期間（1 H）の始めに黒電圧を印加することで低階調（黒表示領域）は所定の黒表示がしやすくなる。高階調表示においては、一度黒表示状態となってから高階調表示へ変化するため、高階調

10 まで変化する前に水平走査期間が終わる可能性がある。2 つ以上の水平走査期間にわたって高階調表示をする場合（例えば、白表示の階調 A、階調 B を例にする）、1 H の最初にプリチャージ電圧の黒電圧を印加する場合、ソース信号線の状態は黒→階調 A→黒→階調 B と変化する。プリチャージ電圧をソース信号線 1 8 に印加しない場合にはソース信号線の状態は階調 A→階調 B と変化する。黒→階調 B に比べ、階調 A→階調 B の方がソース信号線 1 8 状態の変化量が小さく、その状態を速く変化させることができる。

そこで、電圧発生部 6 3 1 をソース信号線 1 8 に印加するかどうかのプリチャージスイッチ 6 3 6 の制御を表示階調に応じて変更できるようにする。具体的には高階調表示時に、電圧を印加しないようにする（階調データに応じてプリチャージ（ディスチャージ）電圧を印加するか否かを選択するため、選択プリチャージと呼ぶ。逆に全階調でプリチャージを行なう場合は、全プリチャージと呼ぶ）。

20 そのためにプリチャージスイッチ 6 3 6 の制御を行う電圧出力制御部 6 3 2 に階調データ 1 3 を入力し、階調データ 1 3 の値に応じて、電圧出力制御部 6 3 2 の出力を変化できるようにした。

この選択プリチャージを 6 4 階調表示行う場合（階調 0 を黒、階調 6 3 を白とする）で例示して説明する。たとえば、第 1 の選択プリチャージモードでは、0 階調のみプリチャージ電圧をソース信号線 1 8 に印加す

る。階調 0 のときにのみ 1 水平走査期間のうちの $1 \sim 3 \mu$ 秒だけ電圧発生部 6 3 1 のプリチャージ電圧を 1 8 に出力できるように電圧出力制御部 6 3 2 の制御方法を決めればよい。また、第 2 の選択プリチャージモードでは、0 - 3 階調のみプリチャージ電圧をソース信号線 1 8 に印
5 加する。階調データが階調 0 - 3 のときにのみ 1 水平走査期間のうちの $1 \sim 3 \mu$ 秒だけ電圧発生部 6 3 1 のプリチャージ電圧を 1 8 に出力できるように電圧出力制御部 6 3 2 の制御方法を決めればよい。これらの選択プリチャージモード、全プリチャージは、あらかじめコマンドで変更できるようにしておく。また、プリチャージ印加時間、プリチャージ
10 電圧もコマンドで変更できるようにしておくことが好ましい。これらは、コマンドデコーダ回路、電子ボリウムなどを構成することにより容易に実現できる。

第 6 5 図から第 6 9 図に電流発生部の構成の例を示す。ここでは、階調データが 4 ビット、1 6 階調の場合で説明を行うが、任意のビット数
15 でも同様に実現可能である。たとえば、6 ビット (6 4 階調 (2 6 万色)) とすることができる。第 6 5 図 ~ 6 7、第 6 9 図においてはビットの重みに対応した数のトランジスタとスイッチを用意すれば実現可能であるし、第 6 8 図においては、デジタルアナログ変換部 6 8 1 の入力ビット数を増減させればよい。

20 第 6 5 図の符号 6 5 4 は単位電流源となるトランジスタを示す。単位電流源 6 5 4 にはそのゲート電圧に応じた電流が流れる。出力 1 8 とトランジスタ (単位電流源) 6 5 4 との間にはスイッチ回路 6 5 1 a ~ 6 5 1 d が接続される。データのビットの重みに応じてスイッチ回路 6 5 1 a ~ 6 5 1 d に接続するトランジスタ数を変えることで階調データ
25 に応じた電流がソースドライバ 1 4 の内部配線 6 3 8 に出力される。内部配線 6 3 8 には、ソース信号線 1 8 が接続されている。第 6 5 図などは、電流出力のソースドライバの一部を図示している。最下位ビットにはトランジスタ 6 5 4 が 1 つ、次の上位ビットにはトランジスタ 6 5 4

が2つ、その次の上位ビットにはトランジスタ654が4つ、最上位ビットにはトランジスタ654が8つ接続される。階調データに応じてスイッチ653をオンオフさせることで、階調データに応じて、出力（ソース信号線18）と接続されるトランジスタ654の数が増加し、それによりソース信号線18に流れる電流が増加して、階調表示がなされる。

1 階調あたりの刻み幅の調整は可変抵抗656を変化させることで行われる。トランジスタ655とトランジスタ654はカレントミラー構成となり、トランジスタ655に流れる電流に対し、ミラー比に応じた電流がトランジスタ654を流れる。可変抵抗656の値を変化させるとトランジスタ655を流れる電流が増加するため、1階調あたりの電流増加分を増加させることができる。なお、可変抵抗656は、電流を増加させる（調整する）手段であり、可変抵抗に限定するものではない。たとえば、電流出力の電子ポリウムを用いてもよい。以上の事項は、第69図の可変抵抗692においても適用できることは言うまでもない。

第66図も同様に出力（ソース信号線18）に接続されるトランジスタ654の数により階調表示を行うが、第65図と異なる点は、1階調あたりの刻み幅を定めるトランジスタ654の電圧を可変電圧源661により直接制御するようにした点である。なお、可変電圧源661は、電圧を増加させる（調整する）手段であり、可変電圧源に限定するものではない。たとえば、電圧出力の電子ポリウムを用いることができる。

第67図は第65図の可変抵抗656のかわりにオペアンプ674などからなる定電流回路を接続した構成を示している。電圧源671の電圧値と抵抗672によりトランジスタ655に流れる電流が決められる。階調に応じて電流値を増加させる方法は第65図、第66図と同一である。なお、抵抗672をソースドライバ14の外付け抵抗とすることにより、単位電流源654に流れる電流を自由に設定できるようになるのが好ましい。

第 6 8 図はトランジスタ 6 8 3 のゲート電圧により内部配線 6 3 8 に流れる電流を変化させることで階調表示を行うものである。ゲート電圧は階調データにより変化する。階調データをデジタルアナログ変換部 6 8 1 によりアナログ信号に変化しこの信号が演算増幅器 6 8 2 を介してトランジスタ 6 8 3 のゲート電圧に入力されることで、電流を変化させる。

第 6 5 図から第 6 8 図で生成された階調に応じた電流出力回路 6 3 5 と、黒電圧（プリチャージ電圧）を発生する電圧発生部 6 3 1 と、階調データおよび水平走査期間（1 H）の時間に応じてプリチャージスイッチ 6 3 6 などを制御する制御部 6 3 2 などで本発明の EL 表示装置の駆動回路を実現することが可能である。

説明を容易にするため、あるいは図示を容易にするため、第 6 5 図から第 6 8 図では 1 出力の場合について説明を行った。複数列存在する場合に全ての列において同一階調時に同一電流を出力するためにはトランジスタ（単位電流源） 6 5 4 に流れる電流が全ての列で等しくある必要がある。

第 6 5 図の構成で複数列において同一電流を出力させるために電流発生部 6 3 4 を改良したのが第 6 9 図に示す構成である。第 6 9 図において、可変抵抗 6 9 2 を流れる電流に対し、少なくとも 1 対のカレントミラー部を設け、カレントミラーにより電流を複数の系統に分配する。

必要であれば、さらにカレントミラーを構成し、複数の系統に電流を分配する。分配されたトランジスタ 6 9 5 のゲートを各列のトランジスタ 6 5 4 のゲートに接続することで、同一電流を出力することができる。このときゲートが共通の各カレントミラーを形成するトランジスタは近接配置することでミラー比のばらつきが少ない状態で電流を分配することができる。トランジスタ 6 9 5 b および 6 9 6 c のゲート信号線から先の構成はトランジスタ 6 9 5 a の場合の構成と同じである。

第 6 6 図の構成では、電圧源 6 6 1 の出力を各列のトランジスタ 6 5

4のゲートに供給する。電圧源661の電圧によりトランジスタ654のゲート電圧を変化させることで1階調あたりの出力電流を制御できるようにした点が第65図の構成と異なる点である。

複数列にわたって同一電流を出力できるようにしたのが第75図に示す構成である。各列のトランジスタ（単位電流源）654のゲート信号線の全てに共通の電圧がかかるようにし、その電圧を可変電圧源661で供給できるようにした。例えばトランジスタ654aが1列目、トランジスタ654bが2列目、トランジスタ654cが3列目とする。この方法は、トランジスタ（単位電流源）654のしきい値電圧がトランジスタごとにばらついた場合、全出力が同一階調であっても出力電流値が異なり、信号線ごとの筋のムラが発生する可能性がある。

しかし、結晶シリコンを用いて作成する場合、互いに隣接する出力（ソース信号線18）間でのしきい値電圧の差は小さいこと、しきい値電圧は1つのチップにおいてある方向になだらかに変化することから、表示を行った場合にはムラは筋状にはならず、輝度は一端から他端へなだらかに変化するため、表示特性に問題はない。これにより簡単な構成で、電流発生部634が構成できる。

第67図はオペアンプ674およびトランジスタ672および抵抗673を用いて定電流源を形成し、その定電流源により流れる電流をトランジスタ655およびカレントミラーを用いてトランジスタ（単位電流源）654にミラー比に応じた電流を流すようにした構成である。単位電流源654に流れる電流は、電圧源671と抵抗673および抵抗673に接続されたVcc電源の値により決まる。

有機発光素子の輝度に対する電流特性は、R、G、B並置法においては各色の発光効率が異なることから、例えば、第72図に示すように同一輝度に対する電流値が異なる。またカラーフィルタを用いる方法では、各色でのカラーフィルタの透過率に違いがあれば、同一輝度に対する電流値が色ごとに異なる。また、CCMを用いる場合においても、色変換

効率が青から赤および青から緑で異なるため、基本的には各色に同一輝度に対する電流値は異なる。それゆえ発光開始電流も色ごとに異なる。第72図の例では、赤、緑、青の発光開始電流はそれぞれ I_R 、 I_G 、 I_B となる。

- 5 電圧発生部631で発生する電圧は、ソース信号線18に最も低い階調に必要な電流を流すときのソース信号線電圧であることから、色ごとに電圧が異なる。

- そこで第71図に示すように表示色ごとに異なる電圧711R、711G、711Bを電圧発生部631から供給し、711Rには赤(R)の発光素子の発光開始電流が流れる時のソース電位に対応した電圧を、
10 711G、711Bにも同様に緑(G)、青(B)に対応した電圧を供給する。

- 供給する電圧値は、第72図に示すような有機発光素子の電流－輝度特性より発光開始電流(I_{dark})を算出する。画素が、第1図のような構成であれば、発光素子15に流れる電流を制御するトランジスタ
15 11aの電流－電圧特性において、ソース信号線18に I_{dark} だけ電流が流れる時のトランジスタ11aのゲート電圧を算出し、このゲート電圧を電圧発生部631において生成するようにする。なお、説明を容易にするため、 I_{dark} だけ電流が流れる時のトランジスタ11a
20 のゲート電圧を算出するとしたが、これに限定するものではない。 I_{dark} 近傍であればよい。本発明の意図する点は、R、G、Bの各回路において、プリチャージ電圧が、黒階調表示で良好なものにする点である。したがって、実用上、十分であれば、 I_{dark} でなくてもよいことはいうまでもない。以上の事項は、以下の実施例でも同様である。

- 25 また、画素構成は第1図の構成ばかりでなく、第70図に示すようなカレントミラー構成の場合でも本発明を実施することが可能である。トランジスタ11bに I_{dark} の電流が流れるときのゲート電圧を電圧発生部631において生成すればよい。つまり画素の回路構成に関わ

らず、有機発光素子に流れる電流を制御するトランジスタが I d a r k の電流を流す時のゲート電圧を電圧発生部 6 3 1 で発生させればよい。

また、第 7 1 図に示すように電圧値を表示色ごとに異なる構成とするばかりでなく、さらに電圧出力制御部 6 3 2 の出力を表示色ごとに変化
5 させてもよい。例えば表示色ごとで、プリチャージスイッチ 6 3 6 の導通時間を変えたり、プリチャージスイッチ 6 3 6 を導通状態とする階調を変えたりする。たとえば、R のみは、階調 0 のみを選択プリチャージし、G、B はプリチャージしない構成とすることができる。また、R のみは、階調 0 - 3 のみを選択プリチャージし、G、B は 0 階調のみを選択
10 プリチャージする構成とすることができる。また、R のみは、全階調プリチャージし、G、B は 0 階調のみを選択プリチャージする構成とすることができる。

これは所定電流値に変化するまでの時間が R、G、B の電流値により異なり、電流がたくさん流れるほど変化に要する時間が短いこと、発光
15 開始電流が大きい表示色に比べ、小さい表示色ではより高階調側まで電圧発生部 6 3 1 の電圧を印加して、低階調表示しやすい、などを考慮するためである。

特に、第 6 4 図の画素構成において R、G、B 並置法によるマルチカラー表示装置を作成した場合、階調 0 の時のみ 0.5 から 3 μ s 程度電
20 圧発生部の電圧を印加すればよいことがわかった。また、発光色の表示特性によっては、必ずしも電圧を印加しなくても低階調表示ができることがわかった。

例えば、第 7 2 図に示す輝度 - 電流特性を持つ赤色発光素子 (R)、緑色発光素子 (G)、青色発光素子 (B) でマルチカラー表示装置を作
25 成した場合、黒を表示するための電流値が色ごとに異なり、赤色表示素子に比べ緑色発光素子では電流値が小さくなければならないことがわかる。

第 6 4 図や第 7 0 図に示すような画素構成、並びに有機発光素子に流

す電流をトランジスタの電流によりゲート電位を変化させ階調表示を行う表示装置において、低電流になればなるほど、有機発光素子に流す電流を制御するトランジスタに流れる電流が所定電流値まで変化するのに要する時間が長くなる。特に最低電流に変化するのが最も時間がかかる。その結果、前の水平走査期間で流れた電流値から水平走査期間内で完全に黒階調の電流値にまで変化できず、ある途中の階調を示す電流が流れるため、黒表示が難しい。

しかし、発光開始電流が大きい場合、必ずしもトランジスタに流れる電流が0でなくても黒表示が可能となる。赤色発光素子では電流がIR
10 以下であればよいわけである。水平走査期間の長さによっては、黒表示を行う場合にIG以下の電流にまでは変化できないが、IGより大きくIB以下の電流にできることがある。この時、電圧発生部631より発生された電圧を印加しなくても赤および青画素は黒表示可能で、緑画素のみ黒表示できない。

15 そこで、第74図に図示するように、電圧出力制御部632にイネーブル信号配線741を表示色ごとに入力し、電圧発生部631の電圧を印加するかどうかを表示色ごとに選択できるようにした。上の例の表示装置においては、赤、青の741R、741Bにイネーブル信号を入力し、階調にかかわらず、すべての水平走査期間内でプリチャージスイッチ636を非導通状態とし、741Gのみ、階調データ13が階調0を示すときに水平走査期間の一部の期間でプリチャージスイッチ636
20 が閉じるようにすればよい。これにより表示色ごとに黒電圧を印加するかどうかを選択できるようになる。

また、この方法は、第71図の構成に比べ、必要な表示色のみ電圧を
25 印加する場合、電圧発生部631で発生する電圧の種類を削減することが可能である。1色のみ黒電圧印加の場合は3つから1つに、2色黒電圧印加の場合でも3つから2つに削減でき、電源部の回路規模を小さくすることが可能となる。

第63図などで図示したスイッチ636は低温ポリシリコン技術などで、基板70上に直接形成してもよいことは言うまでもない。電圧発生部631についても同様である。

5 プリチャージ電圧を印加する期間は、0.5 μ 秒以上にする必要がある。もしくはプリチャージ時間は1水平走査期間(1H)の1%以上10%以下にすることが好ましい。さらに好ましくは1Hの2%以上8%以下にすることが好ましい。

10 また、表示画像21の内容(明るさ、精細度など)で、プリチャージする電圧を変化できるように構成しておくことが好ましい。たとえば、ユーザーが調整スイッチを押すことにより、あるいは調整ポリウムを回すことにより、この変化を検出しプリチャージ電圧(電流)の値を変更する。表示する画像の内容、データにより自動的に変化させるように構成してもよい。たとえば、ホトセンサで外部の外光の強さを検出し、検出された値で、プリチャージ(ディスチャージ)電圧(電流)を調整する。他に、画像の種類(パソコン画像、屋の画面、星空など)に応じて、15 プリチャージ(ディスチャージ)電圧(電流)を調整する。調整は画像の平均明るさ、最大輝度、最小輝度、動画、静止画、輝度分布を考慮して決定する。

20 プリチャージ電圧は、細分化して設定できるようにしてもよい。たとえば、プリチャージ電圧は、PV1、PV2、PV3、PV4を発生させる。階調0の場合は、PV1電圧をソース信号線18に印加し、階調1から階調7は、PV2電圧をソース信号線18に印加し、階調8から階調16は、PV4電圧をソース信号線18に印加し、階調17から階調24は、PV4電圧をソース信号線18に印加するというように構成してもよい。

25 また、プリチャージ電圧は、黒表示領域に印加するものに限定するものではなく、前記実施例のように、白表示領域にソース信号線18に白電圧となるようにプリチャージ電圧を印加してもよい。

また、プリチャージ電圧は第64図に図示するアノード電圧 V_{dd} （駆動トランジスタ11aのソースあるいはドレイン端子電圧）より、0.2以上2.0（V）変化させた電圧とすることがよい。さらに好ましくは、0.4以上1.2（V）変化させた電圧とすることがよい。たとえば、第64図のように、駆動トランジスタ11aがPチャンネルとし、 V_{dd} 電圧が、5.5（V）とすれば、プリチャージ電圧は、5.3（V）以下3.5（V）以上にする。さらに好ましくは、プリチャージ電圧は、5.1（V）以下4.2（V）以上にする。

なお、一般的に、電流源とは、負荷インピーダンスが変化しても所定の電流を実質的に出力することが可能な電源をいい、電圧源とは、負荷インピーダンスが変化しても所定の電圧を実質的に出力することが可能な電源をいう。一方、本発明では、少なくとも、プリチャージ電圧印加用の電圧発生部631の出力インピーダンスが、ソース信号出力用の電流発生部635の出力インピーダンスより小さいことが必要である。もちろん、電流発生部635の出力インピーダンスは負荷インピーダンスに比べて十分大きいことが望ましく、電圧発生部631の出力インピーダンスは負荷インピーダンスに比べて十分小さいことが望ましい。

[電子表示機器に関する発明の実施の形態]

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。第57図は情報端末装置の一例としての携帯電話の平面図である。筐体573にアンテナ571、テンキー572などが取り付けられている。572などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

キー572を1度押さえると表示色は8色モードに、つづいて同一キー572を押さえると表示色は256色モード、さらにキー572を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、

キー 5 7 2 は 3 つ（以上）となる。

キー 5 7 2 はプッシュスイッチの他、スライドスイッチなどの他のメ
カニカルなスイッチでもよく、また、音声認識などにより切り換えるも
のでもよい。たとえば、4 0 9 6 色を受話器に音声入力すること、たと
5 えば、「高品位表示」、「2 5 6 色モード」あるいは「低表示色モード」
と受話器に音声入力することにより表示パネルの表示画面 5 0 に表示
される表示色が変化するように構成する。これは現行の音声認識技術を
採用することにより容易に実現することができる。

また、表示色の切り替えは電氣的に切り換えるスイッチでもよく、表
10 示パネルの表示部 2 1 に表示させたメニューを触れることにより選択
するタッチパネルでも良い。また、スイッチを押さえる回数で切り換え
る、あるいはクリックボールのように回転あるいは方向により切り換え
るように構成してもよい。

5 7 2 は表示色切換キーとしたが、フレームレートを切り換えるキー
15 などとしてもよい。また、動画と静止画とを切り換えるキーなどとして
もよい。また、動画と静止画とフレームレートなどの複数の要件を同時
に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレー
ムレートが変化するように構成してもよい。この場合は発振器を構成す
るコンデンサ C、抵抗 R のうち、抵抗 R を可変抵抗にしたり、電子ボリ
20 ウムにしたりすることにより実現できる。また、コンデンサはトリマコ
ンデンサとすることにより実現できる。また、半導体チップに複数のコ
ンデンサを形成しておき、1 つ以上のコンデンサを選択し、これらを回
路的に並列に接続することにより実現してもよい。

なお、表示色などによりフレームレートを切り換えるという技術的思
25 想は携帯電話に限定されるものではなく、パームトップコンピュータや、
ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有
する機器に広く適用することができる。また、液晶表示装置（液晶表示
パネル）に限定されるものではなく、液晶表示パネル、有機 EL 表示パ

ネルや、トランジスタパネル、PLZTパネルや、CRTにも適用することができる。

第57図で説明した本発明の携帯電話では、図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー572入力で切り替えることができる。

- 10 表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

- 15 今、ソースドライバIC14には4096色（R、G、B各4ビット）で1画面の内蔵RAMを具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバIC14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

- 20 画像データが26万色（G：6ビット、R、B：5ビットの計16ビット）の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されてソースドライバIC14に転送される。ソースドライバIC14はR、G、B各4ビット（4096色）の画像データを出力し、表示画面50に画像を表示する。

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

第 58 図は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、第 58 図において、接眼カバーを省略している。以上のことは他の図面においても該当する。

ボデー 573 の裏面は暗色あるいは黒色にされている。これは、EL 表示パネル（表示装置）574 から出射した迷光がボデー 573 の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）108、偏光板 109 などが配置されている。このことは第 10 図、第 11 図でも説明している。

接眼リング 581 には拡大レンズ 582 が取り付けられている。観察者は接眼リング 581 をボデー 573 内での挿入位置を可変して、表示パネル 574 の表示画像 50 にピントがあうように調整する。

また、必要に応じて表示パネル 574 の光出射側に正レンズ 583 を配置すれば、拡大レンズ 582 に入射する主光線を収束させることができる。そのため、拡大レンズ 582 のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

第 59 図はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 592 とビデオカメラ本体 573 と具備し、撮影レンズ部 592 とビューファインダ部 573 とは背中合わせとなっている。また、ビューファインダ（第 58 図も参照）573 には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 574 の画像 50 を観察する。

一方、本発明の EL 表示パネルは表示モニターとしても使用されている。表示部 50 は支点 591 で角度を自由に調整できる。表示部 50 を使用しない時は、格納部 593 に格納される。

スイッチ 594 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 594 は表示モード切り替えスイッチである。ス

スイッチ 594 は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ 594 について説明をする。

本発明の駆動方法の 1 つに N 倍の電流を EL 素子 15 に流し、 $1/F$ の $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、EL 素子 15 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などと変更できるように構成してもよい。

10 以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面 50 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が
15 全く見えなくなるからである。しかし、高い輝度で表示し続けると EL 素子 15 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

20 したがって、ユーザーがボタン 594 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 50%、60%、80% とユーザーなどが設定できるように構成しておくことが好ましい。

25 なお、表示画面 50 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して 70% の輝度を

保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

具体的には、画面の上部と下部ではMの値と大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことがこのましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅している

ように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

10 なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

15 本実施の形態のEL表示装置などはビデオカメラだけでなく、第60図に示すような電子カメラにも適用することができる。表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

20 以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面50がたわみやすい。その対策のため、本発明では第61図に示すように表示パネルに外枠611をつけ、外枠611をつりさげられるように固定部材614で取り付けられている。この固定部材614を用いて、壁などに取り付ける。

25 しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

脚612はAに示すように左右に移動でき、また、脚612はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

第61図のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるもの限定するものではなく、アモルファスシリコンによるものであってもよい。

- 10 なお、本発明のN倍パルス駆動（第13図、第16図、第19図、第20図、第22図、第24図、第30図など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタ
- 15 の特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、第22図、第24図、第30図のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

- 20 本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

- 25 また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそ

のモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、R、G、Bの画素をストライプ状あるいはドットマトリクス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、R、G、Bの信号器、警報表示灯などにも応用できる。

また、スキャナの光源としても有機EL表示パネルは有効である。R、G、Bのドットマトリクスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリクスに限定するものではなく、単純マトリクスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のR、G、Bの画素をストライプ状あるいはドットマトリクス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

〔産業上の利用の可能性〕

本発明に係るE L表示装置は、携帯電話の画像表示部等として有用である。

本発明に係るE L表示装置の駆動回路は、携帯電話の画像表示部の駆

5 動回路等として有用である。

本発明に係る電子表示機器は、携帯電話、テレビ、パソコン用ディスプレイ等として有用である。

請 求 の 範 囲

5 1. EL発光素子と、

電流で表されるソース信号に応じた電流によって前記EL発光素子を駆動する電流駆動デバイスと、

映像信号に応じて前記ソース信号をソース信号線を通じて前記電流駆動デバイスに出力する信号用電流源とを備えたEL表示装置において、

10 所定電圧を出力するプリチャージ用電圧源と、前記信号用電流源と前記プリチャージ用電圧源とを切り換えて前記ソース信号線に接続可能な切換接続手段とをさらに備えたことを特徴とするEL表示装置。

2. 前記切換接続手段は、1水平走査期間内において前記所定電圧が前記ソース信号線に印加された後、前記ソース信号が前記ソース信号線
15 に出力されるよう、前記プリチャージ用電圧源及び前記信号用電流源を前記ソース信号に接続する、請求の範囲第1項記載のEL表示装置。

3. 前記所定電圧の印加期間が $0.2\mu\text{s}$ 以上 $3\mu\text{s}$ 以下である、請求の範囲第2項記載のEL表示装置。

4. 前記電流駆動デバイスが前記ソース信号線に接続された制御端子
20 の電圧に応じた電流によって前記EL発光素子を駆動するものであり、

前記所定電圧は、前記電流駆動デバイスが前記EL発光素子を黒表示するよう駆動する電圧である、請求の範囲第2項記載のEL表示装置。

5. 前記電流駆動デバイスが前記ソース信号線に接続された制御端子の電圧に応じた電流によって前記EL発光素子を駆動するものであり、

25 前記所定電圧が、前記映像信号の階調情報に応じたものである、請求の範囲第2項記載のEL表示装置。

6. 前記切換接続手段は、前記映像信号の階調情報が所定のものである場合に前記プリチャージ用電圧源を前記ソース信号線に接続する、請

求の範囲第 1 項記載の E L 表示装置。

7. 複数種類の色を発光する複数の前記 E L 発光素子が前記色毎に複数の前記ソース信号線にそれぞれ接続され、前記プリチャージ用電圧源は、前記色毎に定められた前記所定電圧を前記ソース信号線にそれぞれ出力する、請求の範囲第 1 項記載の E L 表示装置。

8. 前記電流駆動デバイスがトランジスタからなる、請求の範囲第 1 項記載の E L 表示装置。

9. 前記電流駆動デバイスがカレントミラー回路からなる、請求の範囲第 1 項記載の E L 表示装置。

10 10. 複数の画素がマトリクス状に配置され、前記画素毎に前記 E L 発光素子及び前記電流駆動デバイスが配設され、列又は行毎に前記ソース信号線が配設され、各列又は行の前記電流駆動デバイスが選択可能に各ソース信号線に接続され、前記信号用電流源、前記プリチャージ用電圧源、及び前記切換接続手段が前記ソース信号線毎に設けられ、前記複数の画素の前記電流駆動デバイスを行又は列毎に選択するゲート信号を伝達するための複数のゲート線が配設され、前記ゲート信号を前記複数のゲート線に出力するゲートドライバが設けられた、請求の範囲第 1 項記載の E L 表示装置。

11. 複数の画素がマトリクス状に配置され、前記画素毎に前記 E L 発光素子及び前記電流駆動デバイスが配設され、列又は行毎に前記ソース信号線が配設され、各列又は行の前記電流駆動デバイスが選択可能に各ソース信号線に接続され、前記信号用電流源、前記プリチャージ用電圧源、及び前記切換接続手段が前記ソース信号線毎に設けられ、前記複数の画素の前記電流駆動デバイスを行又は列毎に選択するゲート信号を伝達するための複数のゲート線が配設され、前記ゲート信号を前記複数のゲート線に出力するゲートドライバが設けられた請求の範囲第 1 項記載の E L 表示装置からなる画像表示部と、

受話器と、

スピーカーとを備えた電子表示機器。

1 2. 複数の単位電流源と、

前記単位電流源から出力される電流を規定する基準電流発生回路と、

前記単位電流源の出力端に配設された複数の電流スイッチ回路と、

5 一端が第 1 の切換スイッチを介して前記複数の電流スイッチ回路にそれぞれ接続され、他端がソース信号線に接続される電流配線と、

所定電圧を出力し第 2 の切換スイッチを介して前記電流配線に接続されたプリチャージ用電圧源とを備え、

前記電流スイッチ回路が、映像信号の階調情報に応じてオンオフされ、

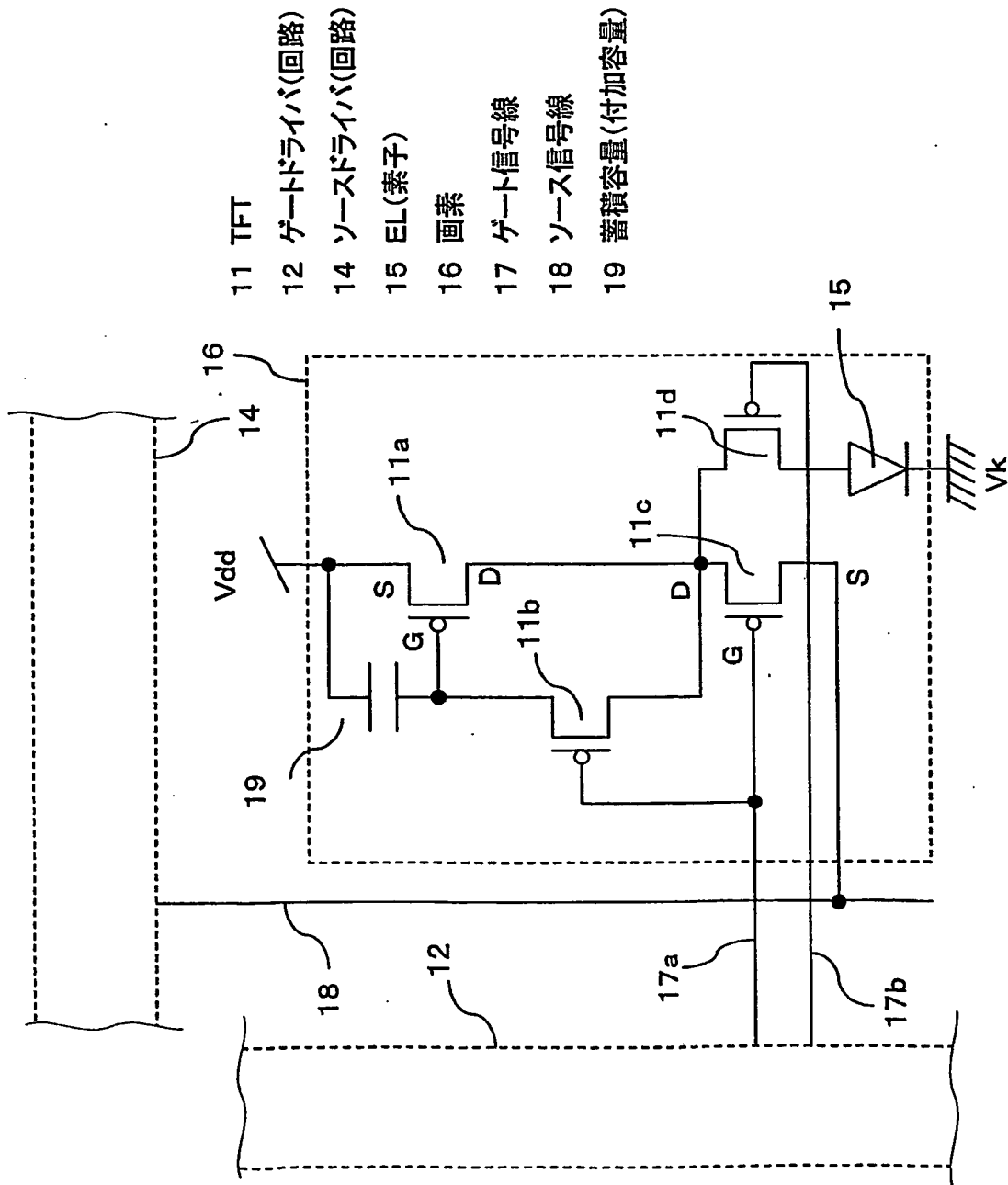
10 前記第 1, 第 2 の切換スイッチが前記電流スイッチ回路と前記プリチャージ用電圧源とを切り換えて前記ソース信号線に接続する E L 表示装置の駆動回路。

1 3. 前記複数の単位電流源は、2 の倍数の個数ごとに並列に 1 つの前記電流スイッチに接続されている、請求の範囲第 1 2 項記載の E L 表

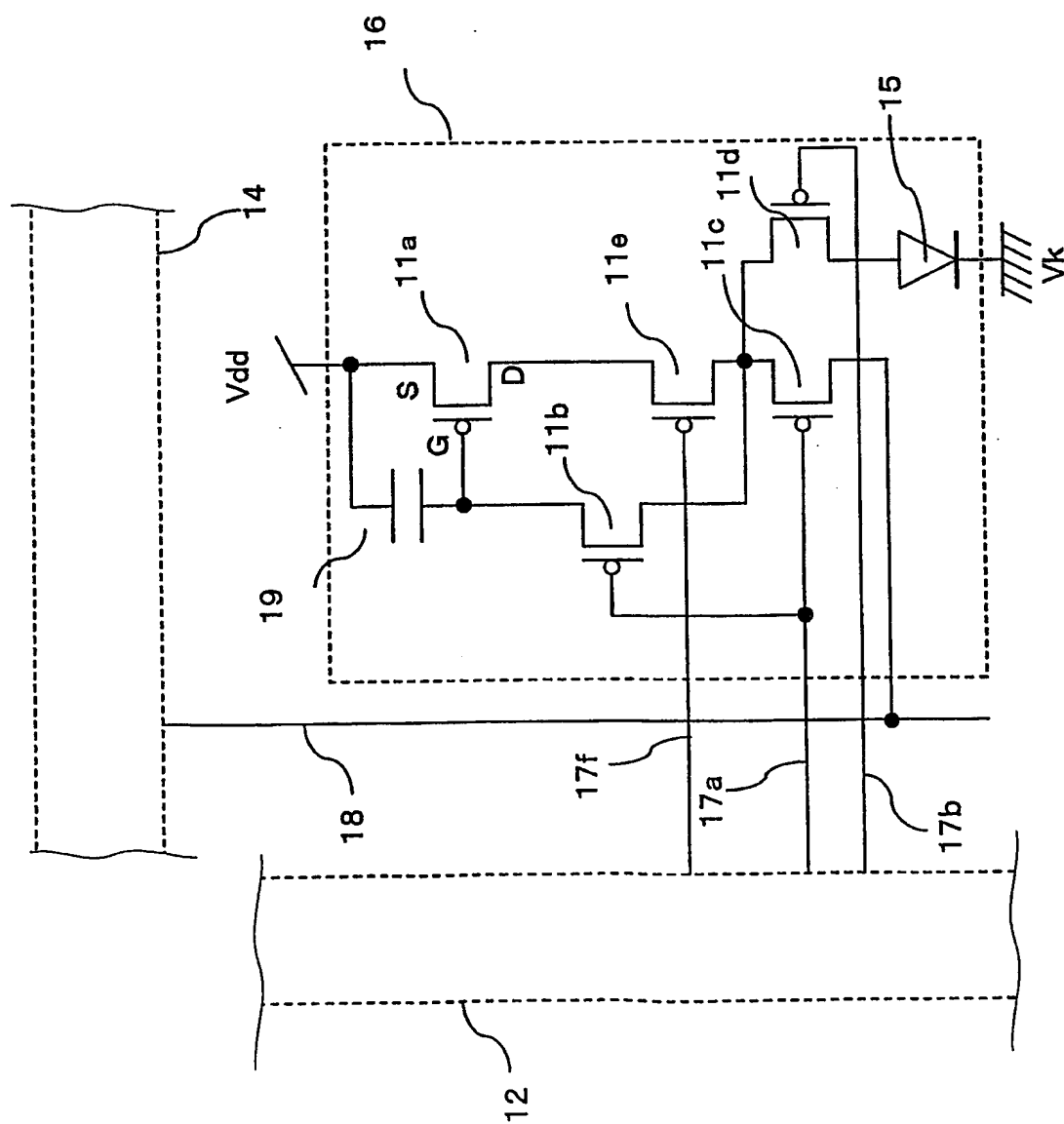
15 示装置の駆動回路。

1 4. 前記基準電流発生回路はオペアンプ回路を有し、該オペアンプ回路が前記単位電流源から出力される電流を規定する、請求の範囲第 1 2 項記載の E L 表示装置の駆動回路。

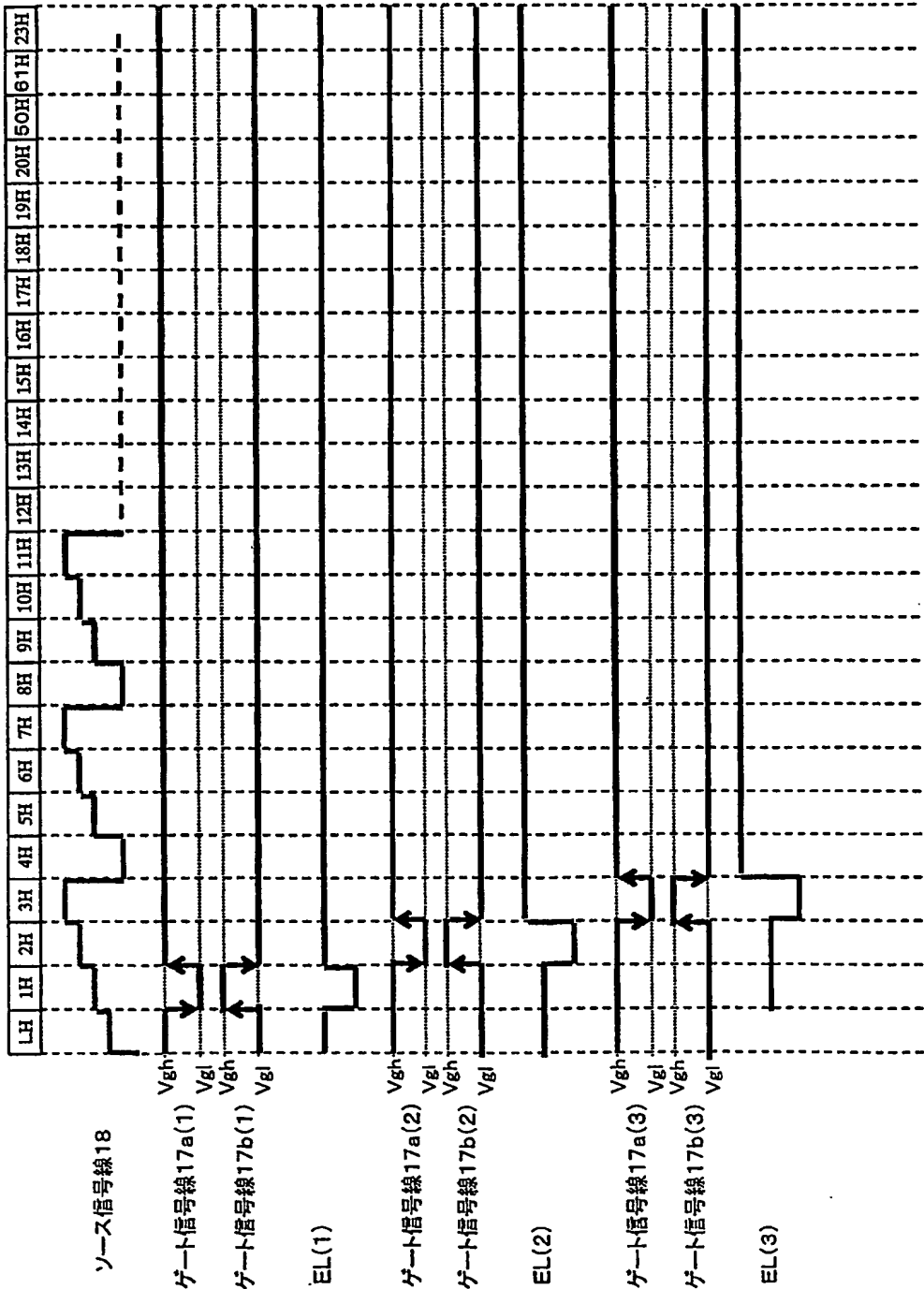
第 1 図



第 2 図

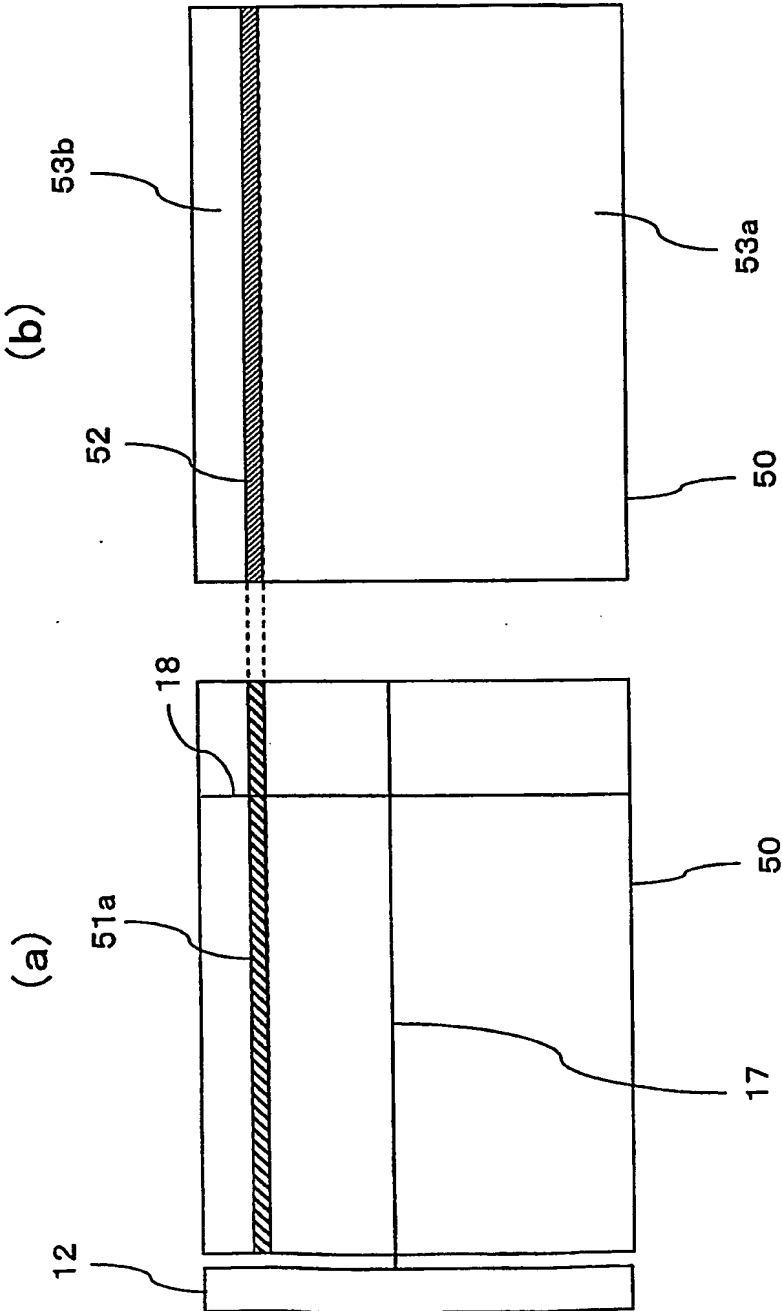


第 4 図

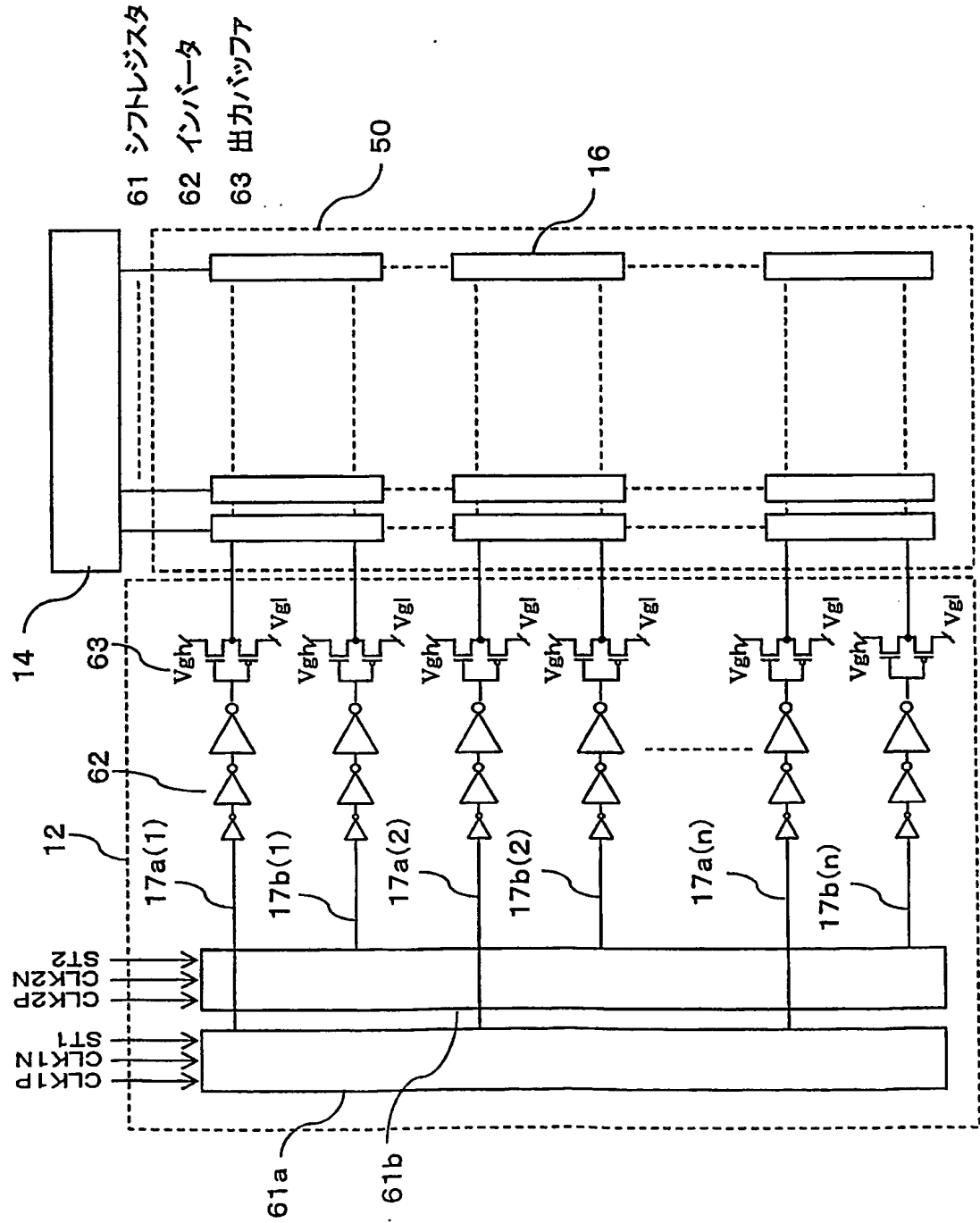


第 5 図

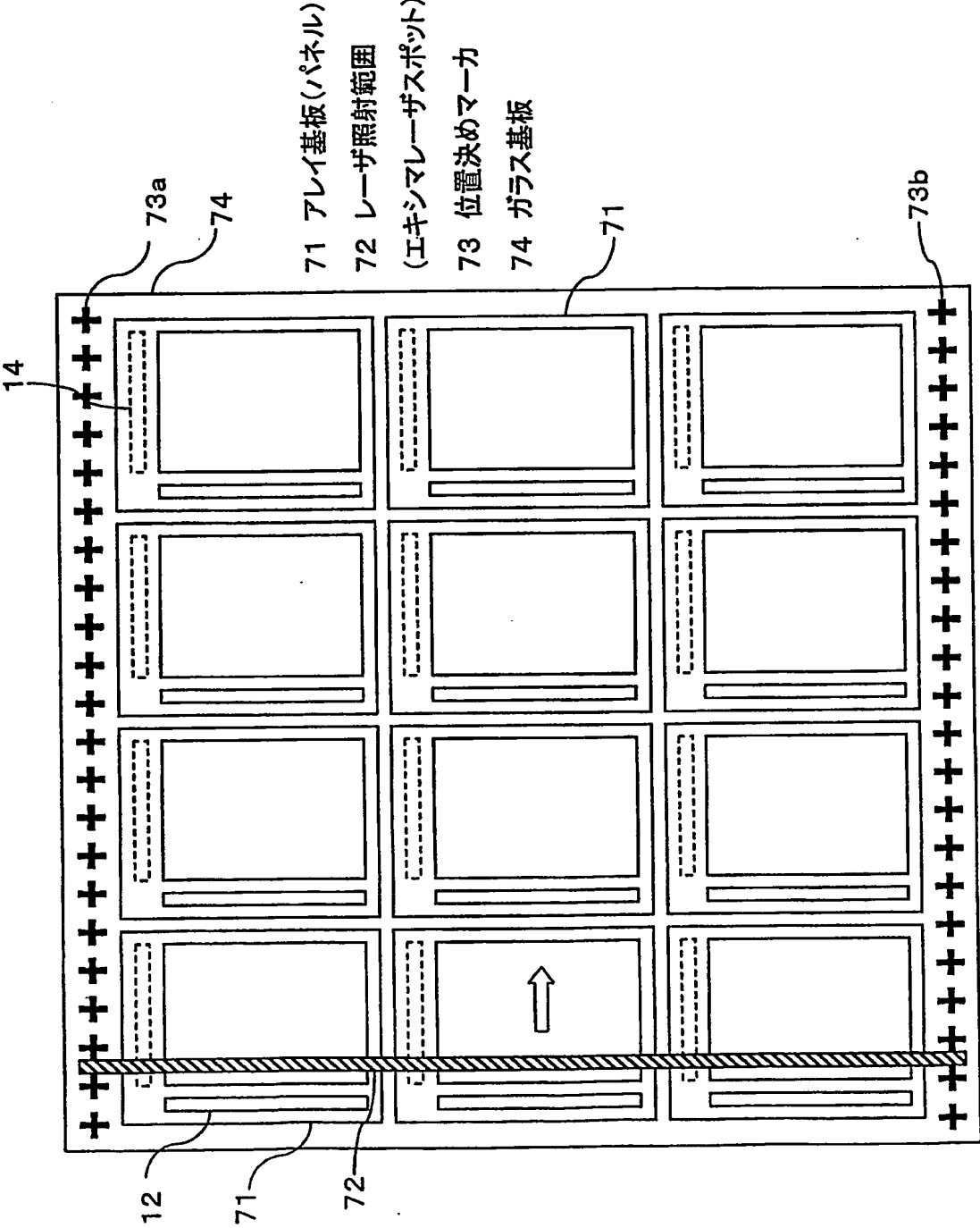
- 50 表示画面
- 51 書き込み画素(行)
- 52 非表示画素(非表示領域、非点灯領域)
- 53 表示画素(表示領域、点灯領域)



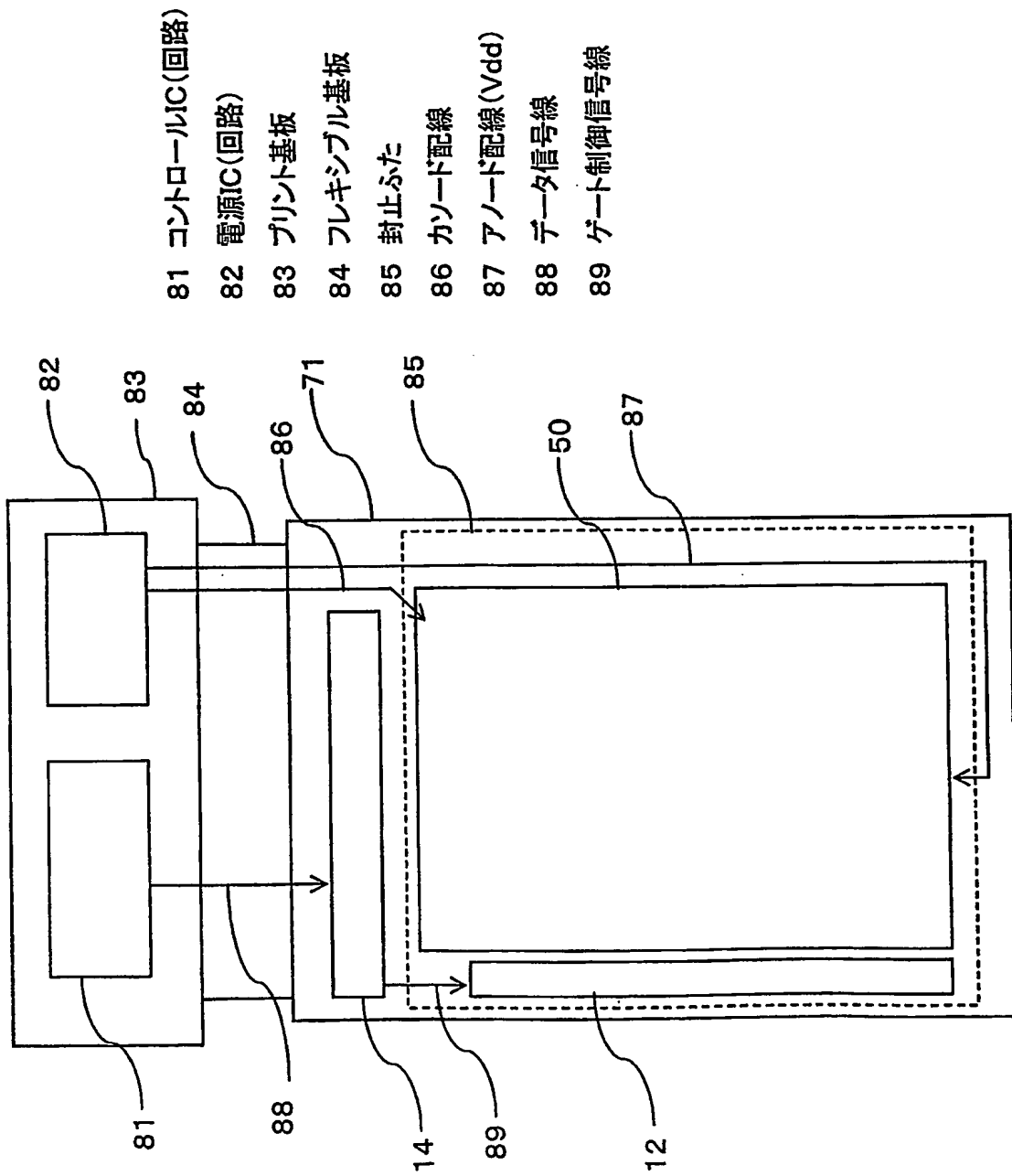
第 6 図



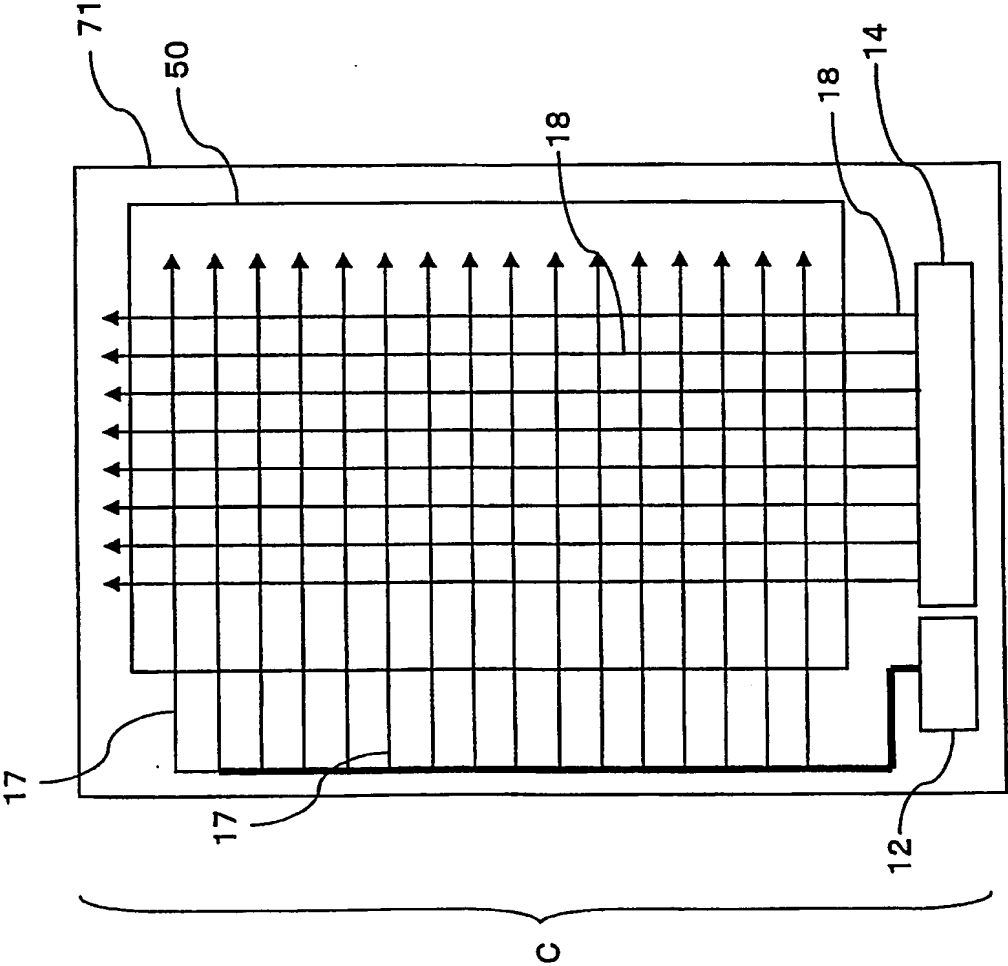
第 7 図



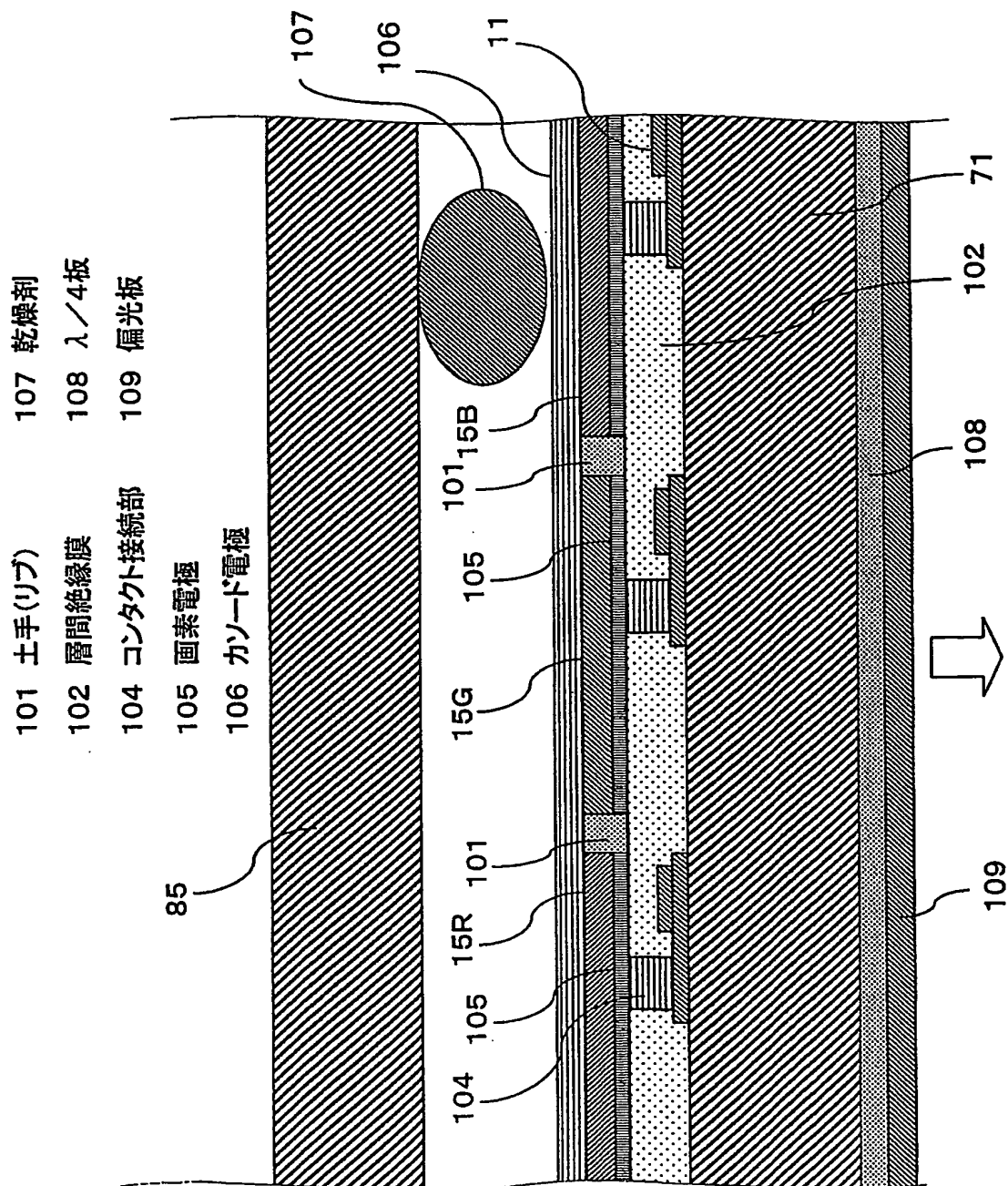
第 8 図



第 9 図

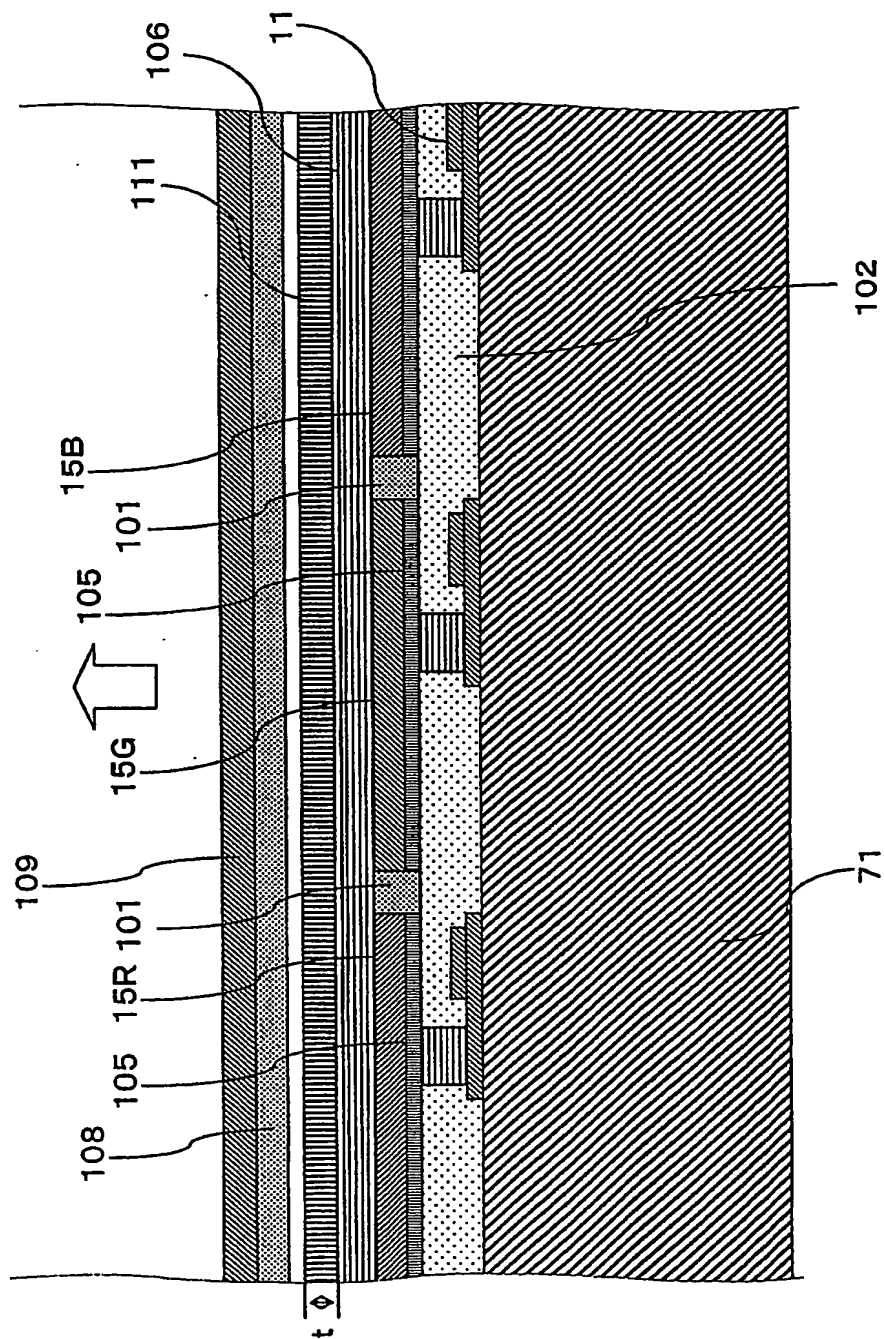


第 10 図

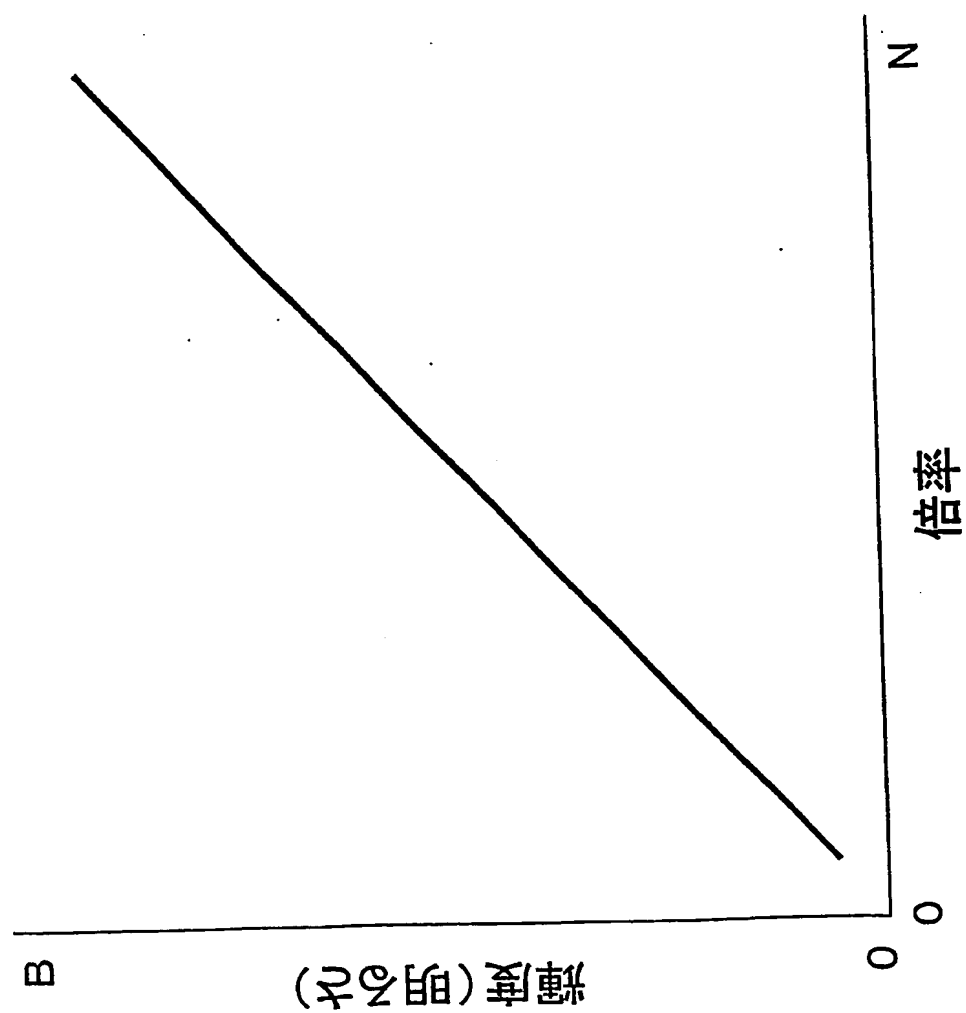


第 1 1 図

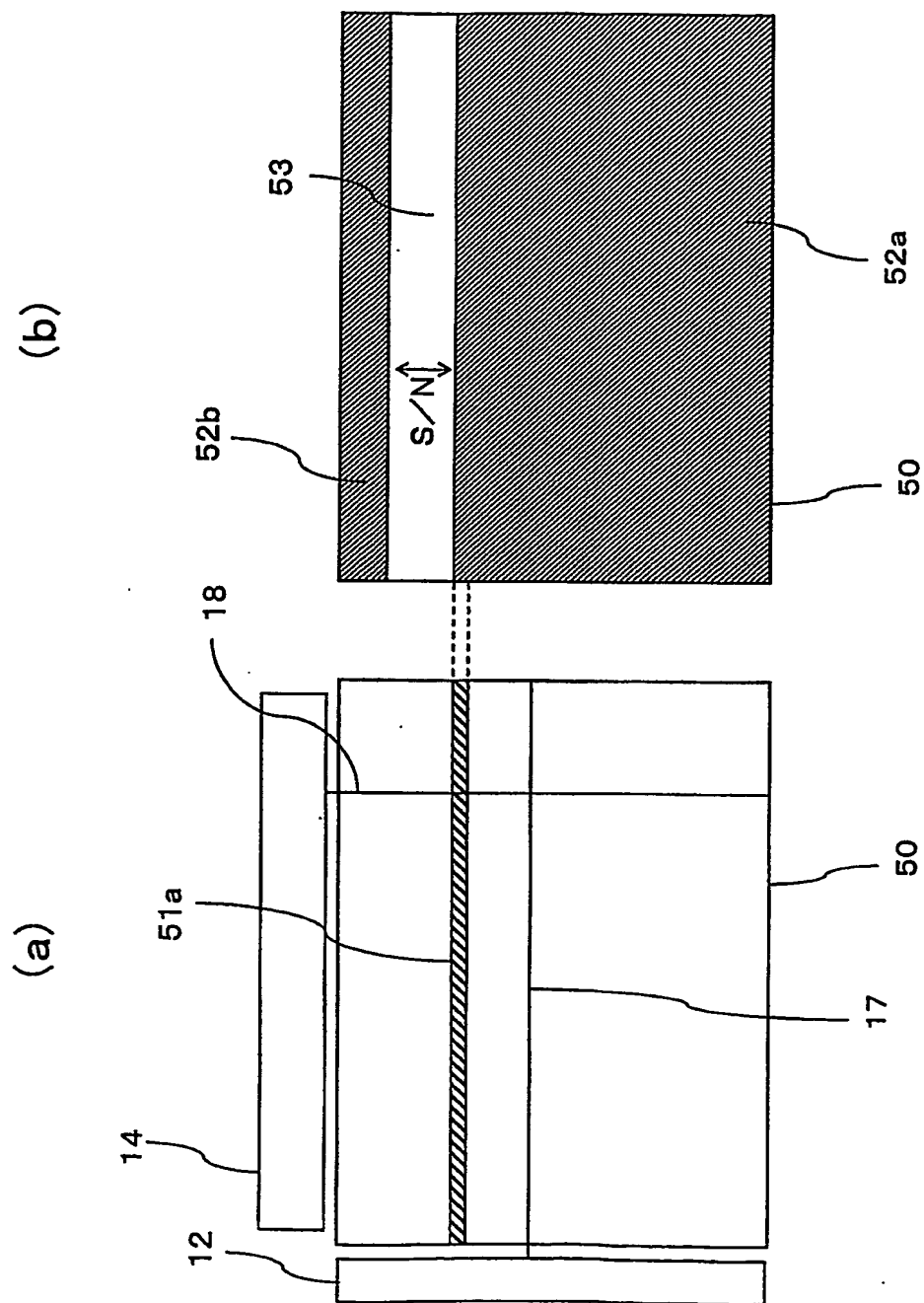
111 薄膜封止膜



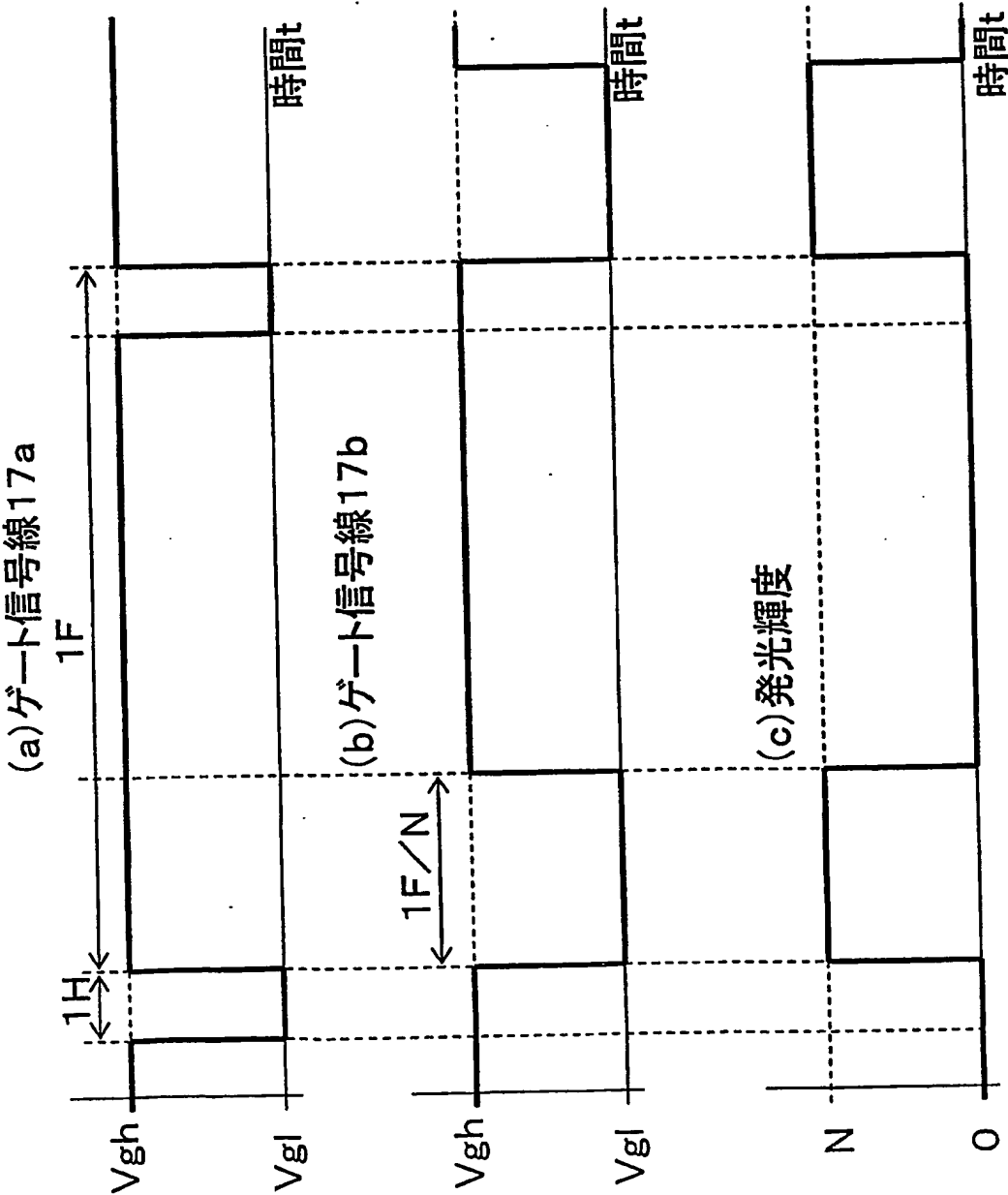
第 12 図



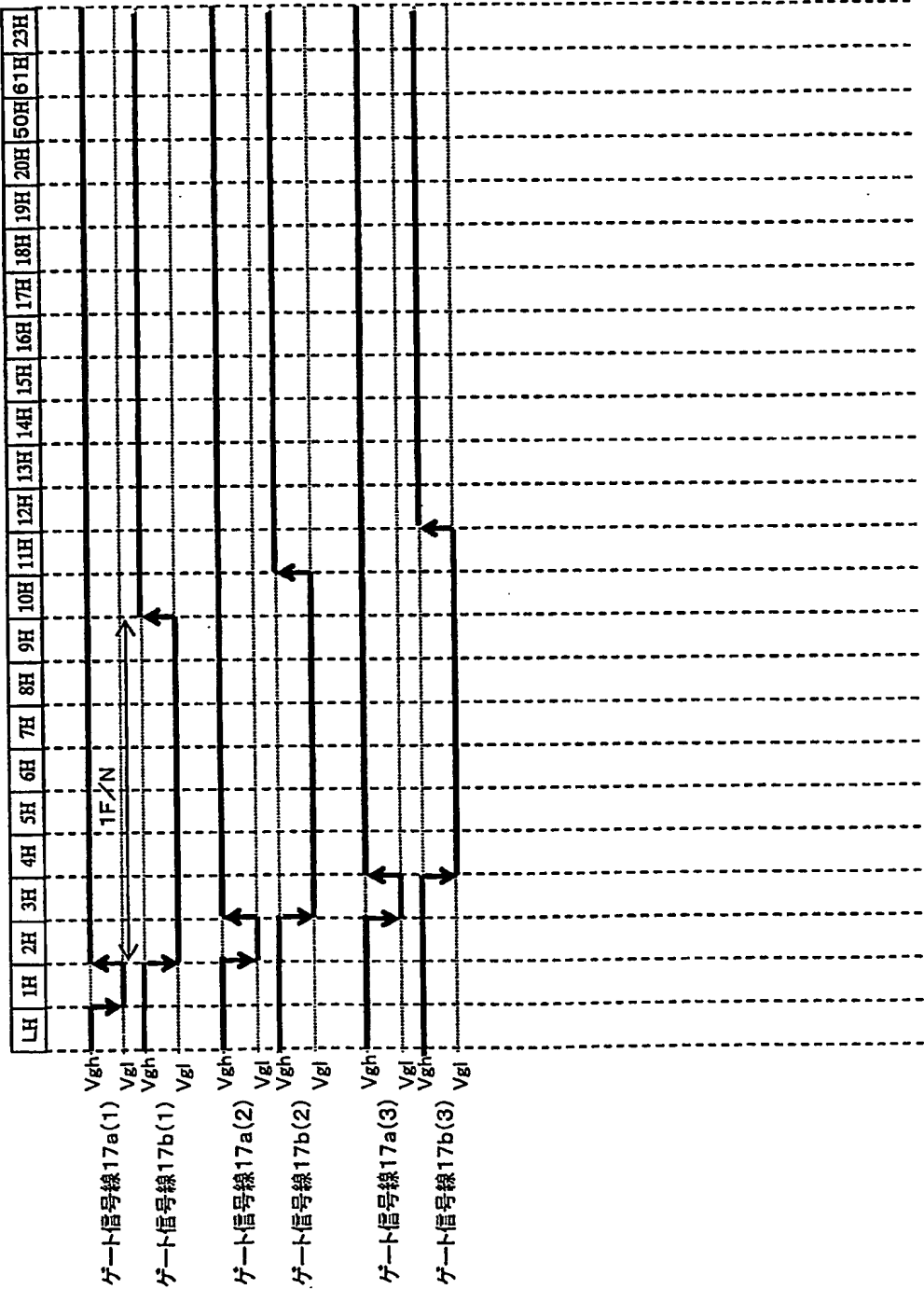
第 13 図



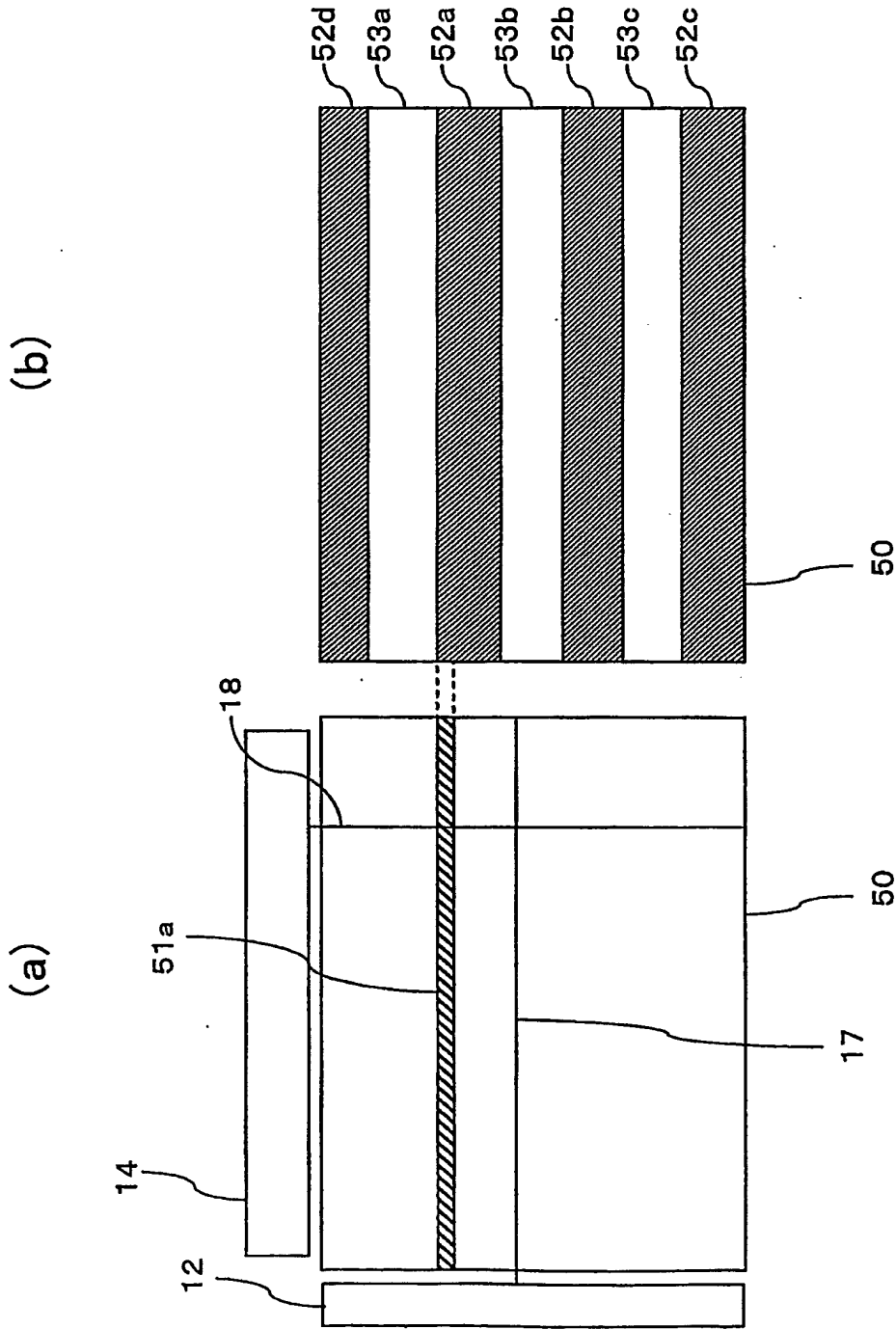
第 1 4 図



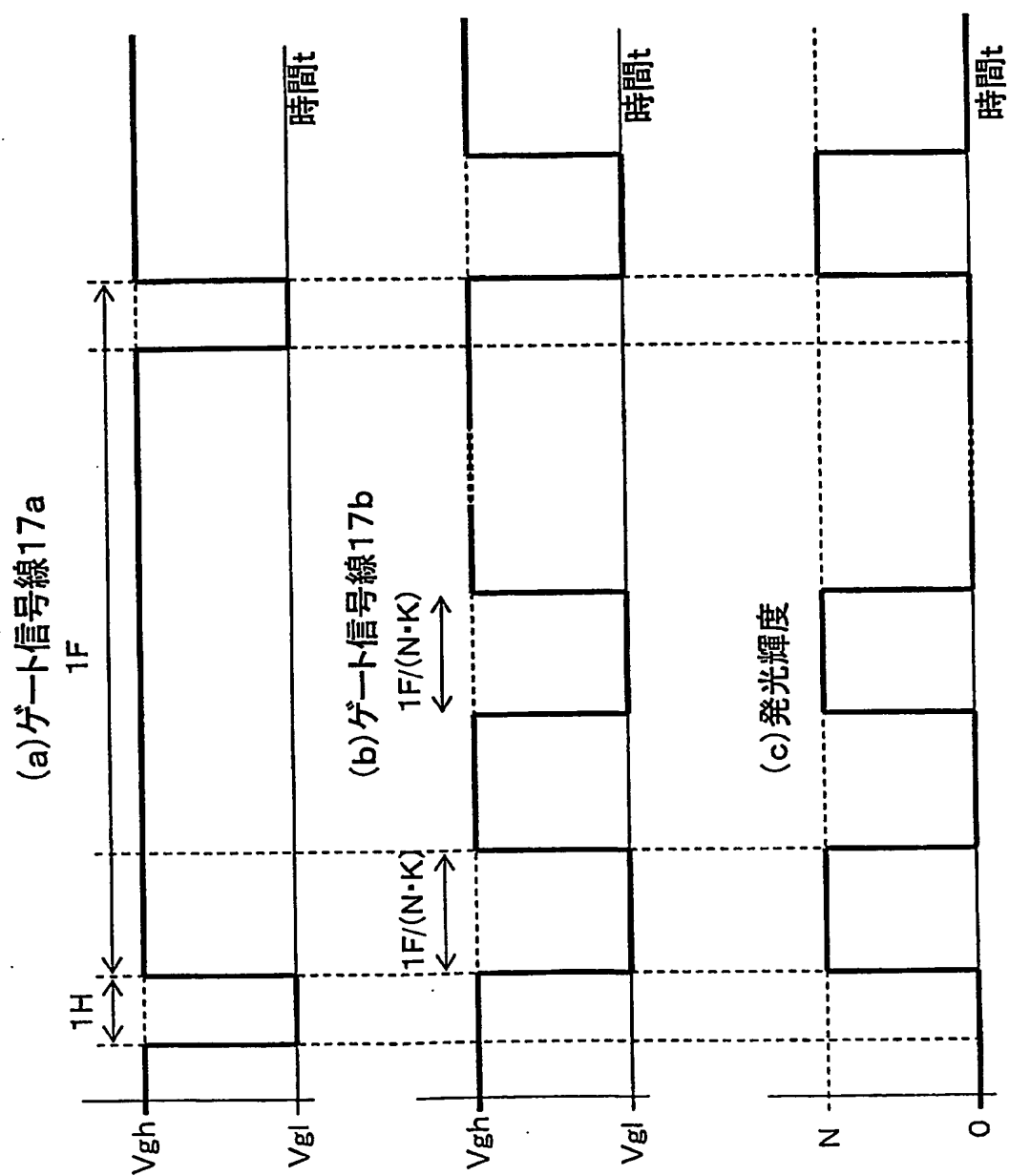
第 15 図



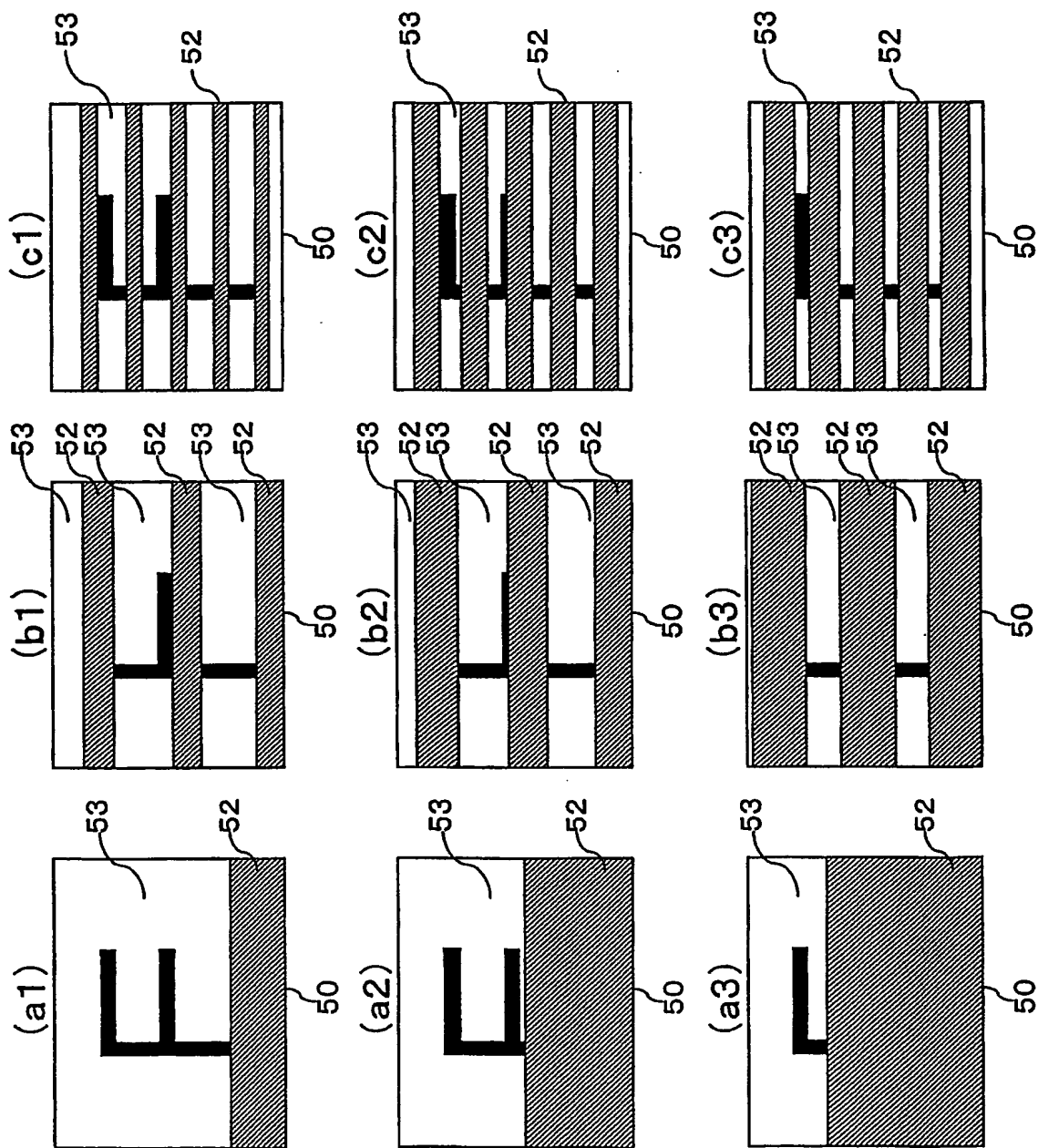
第 16 図



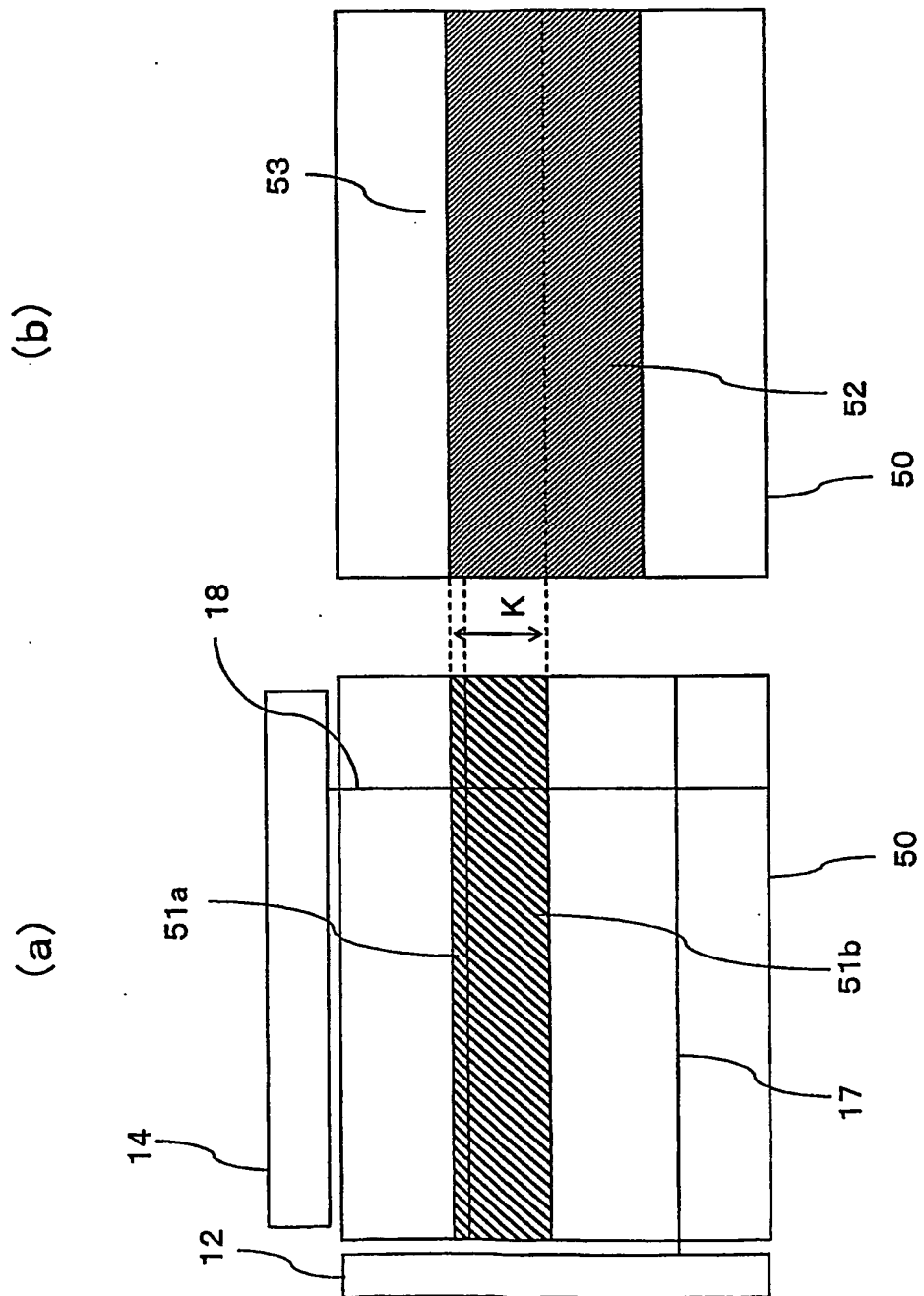
第 17 図



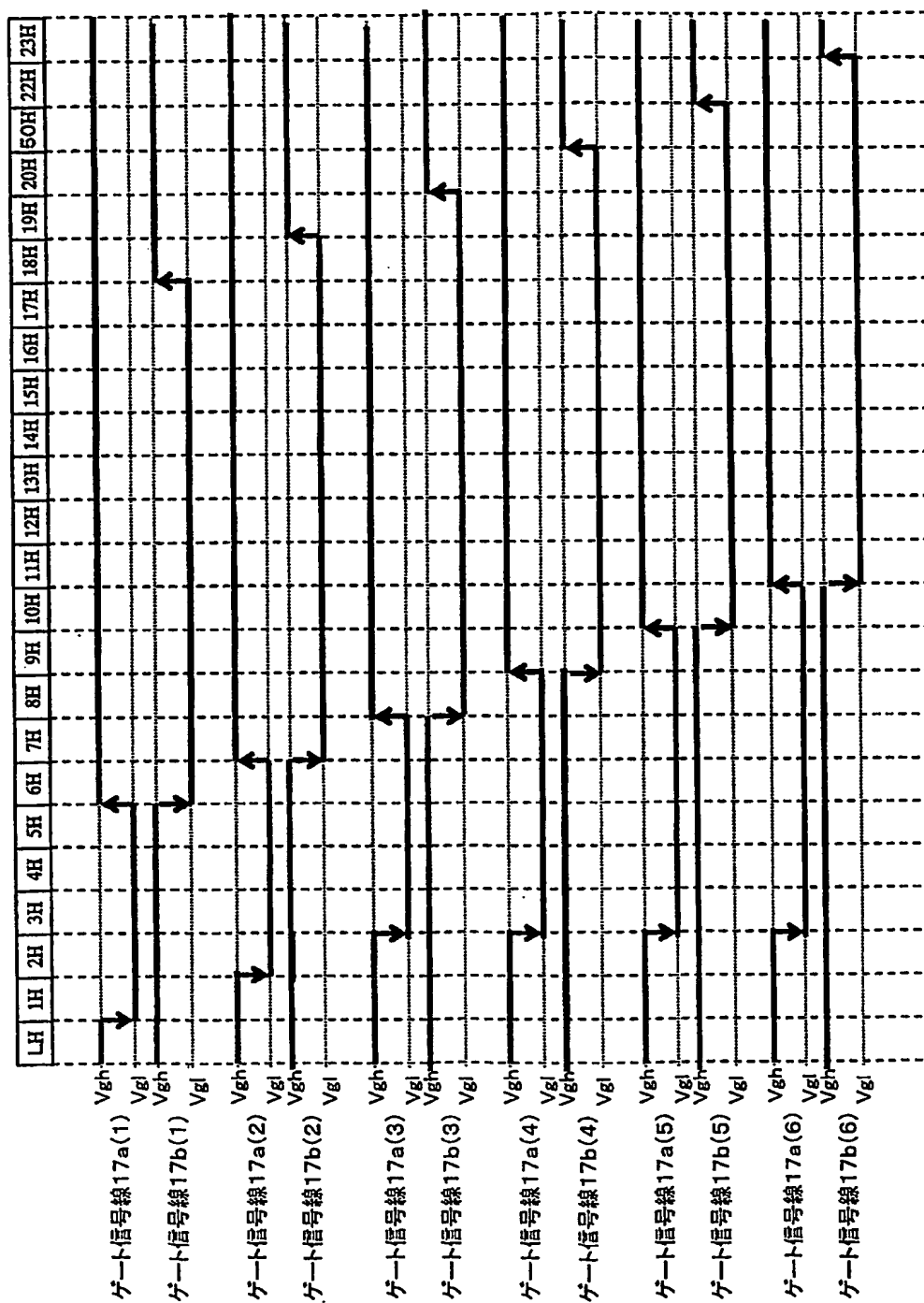
第 19 図



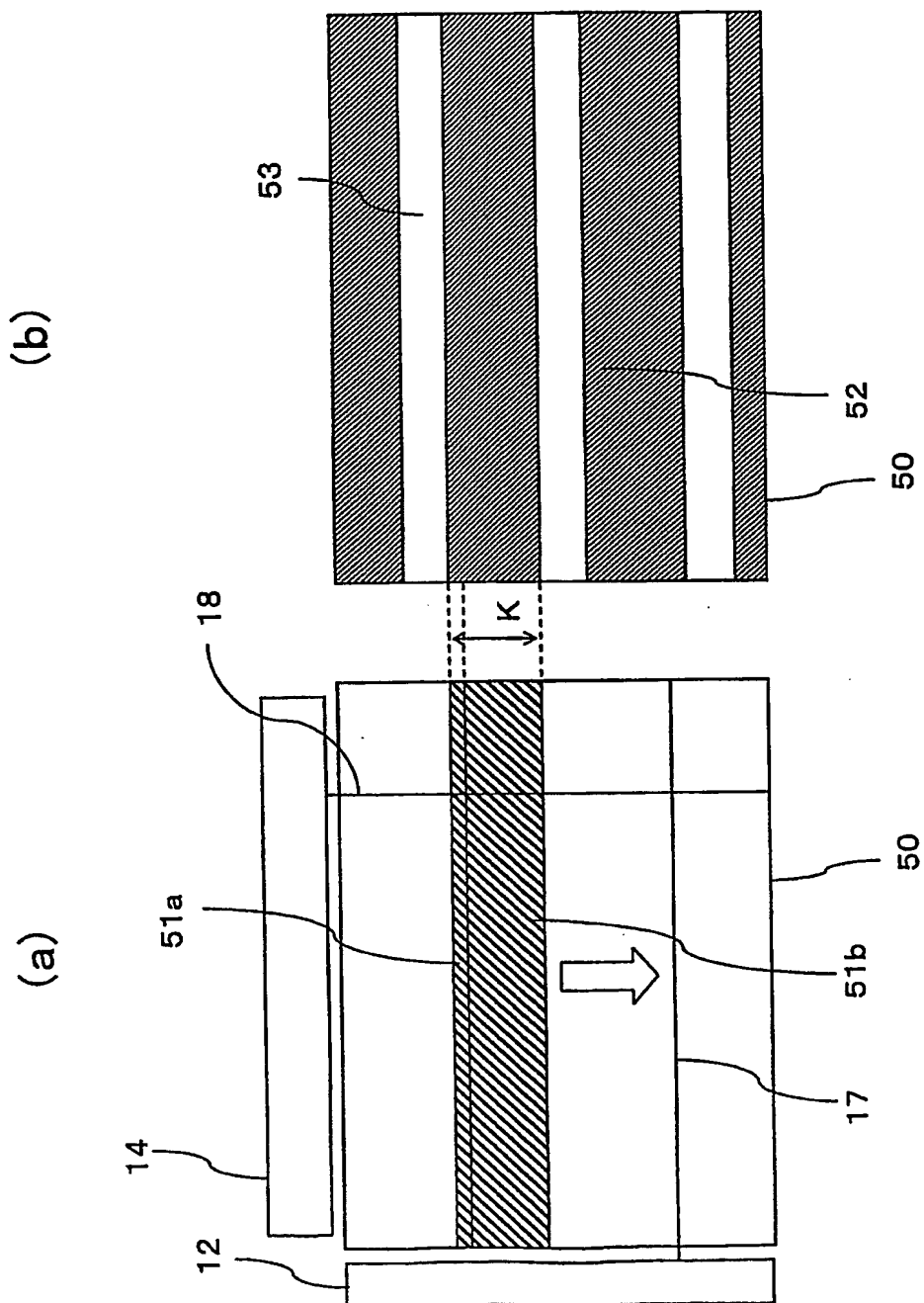
第 20 図



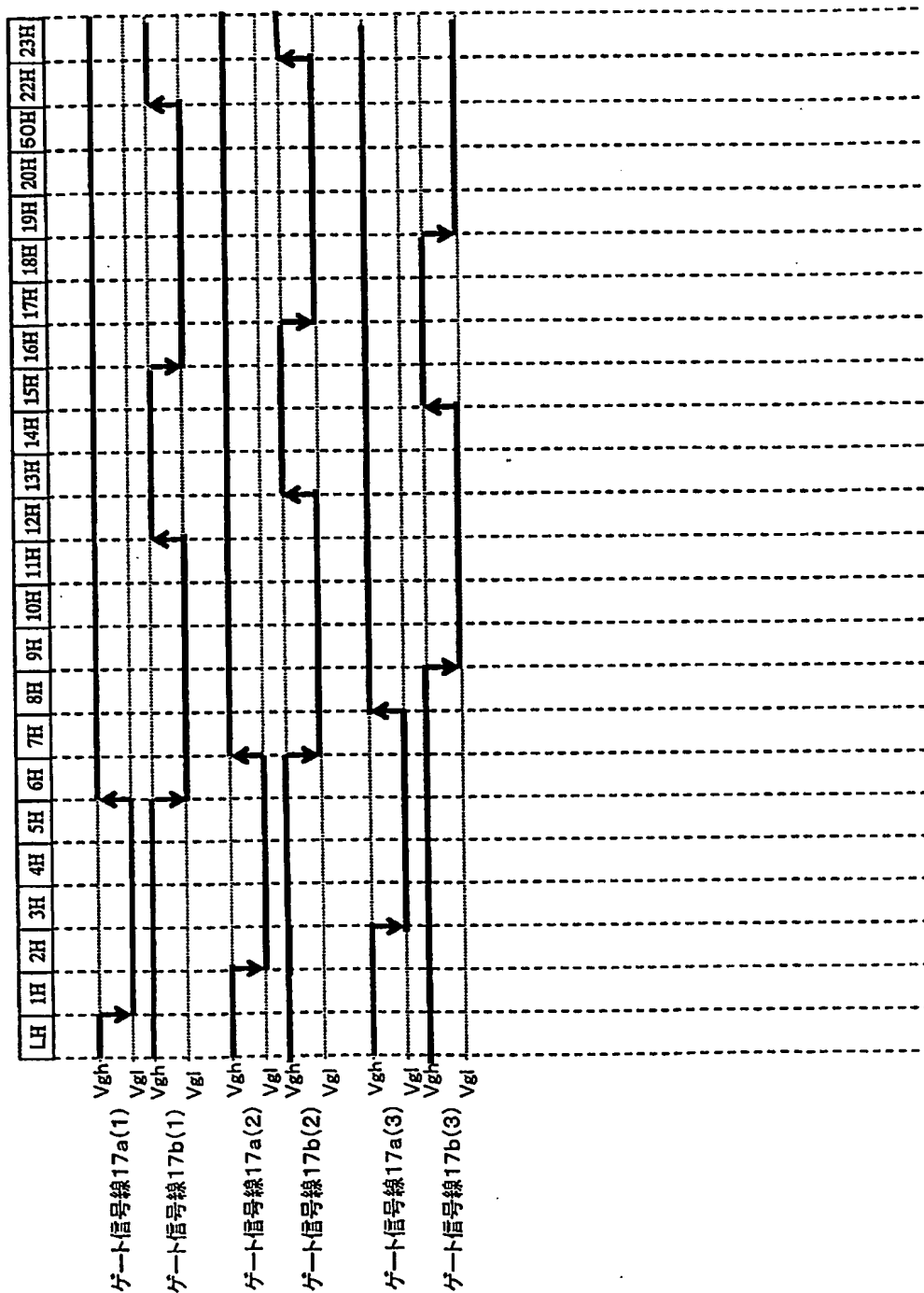
第 21 図



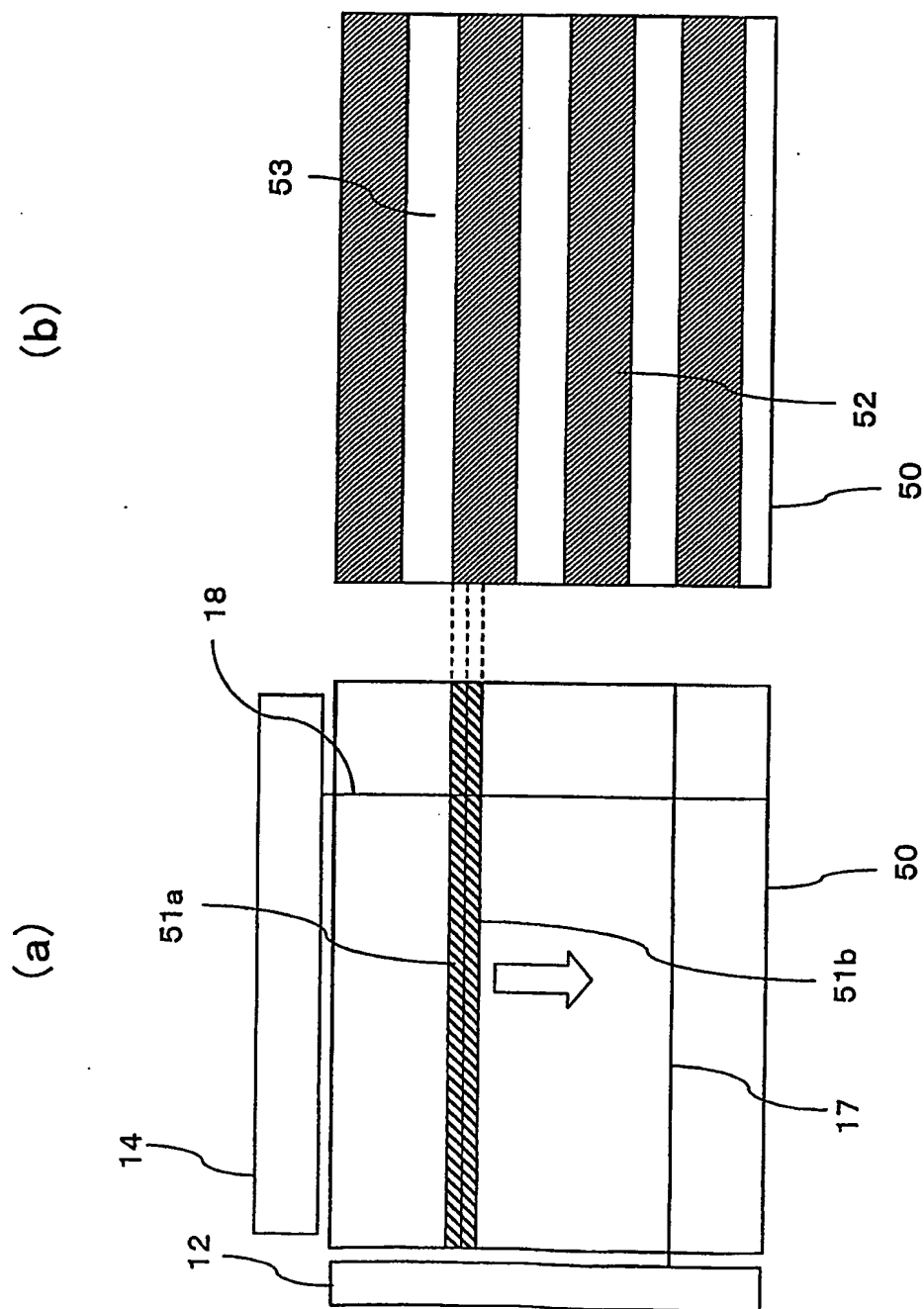
第 2 2 図



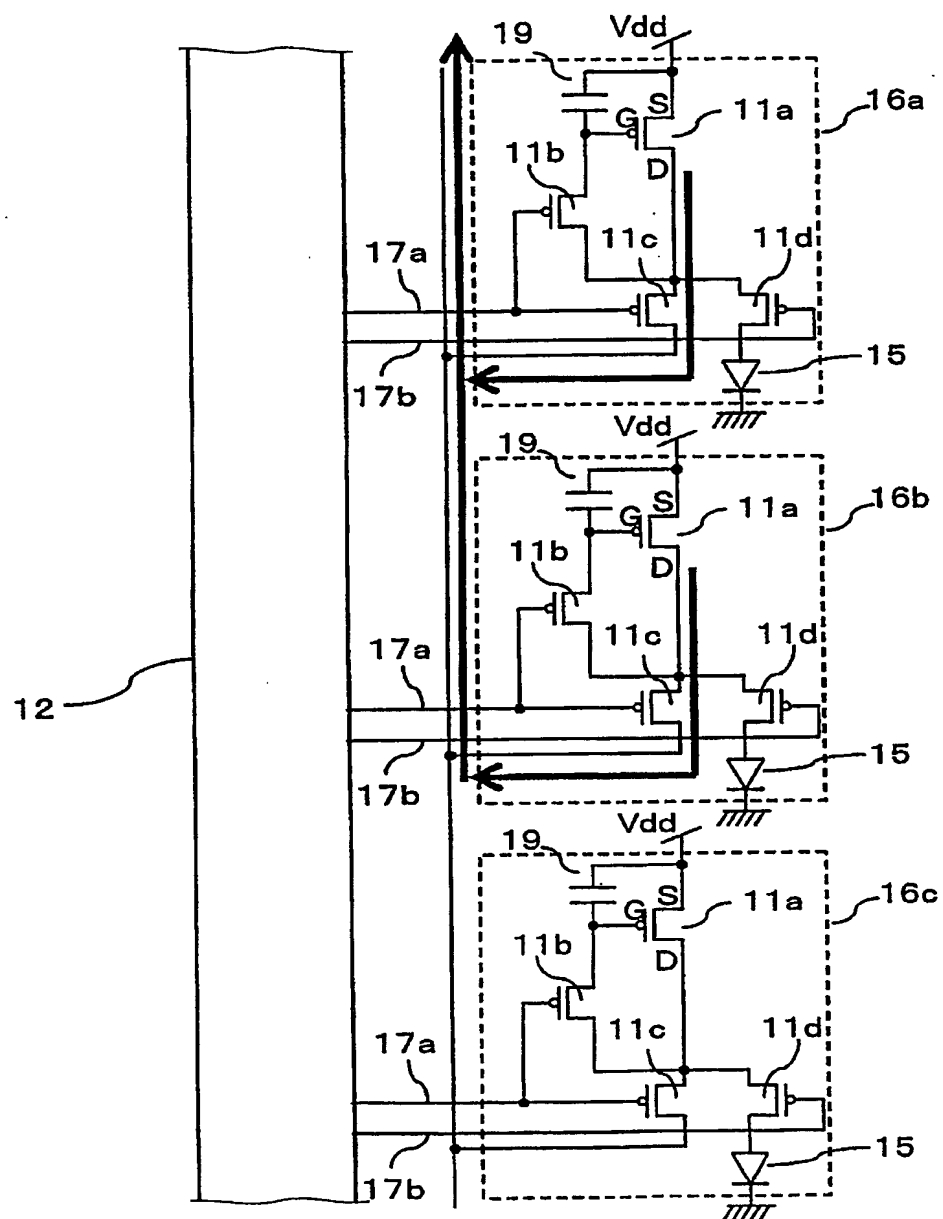
第 23 図



第 24 図

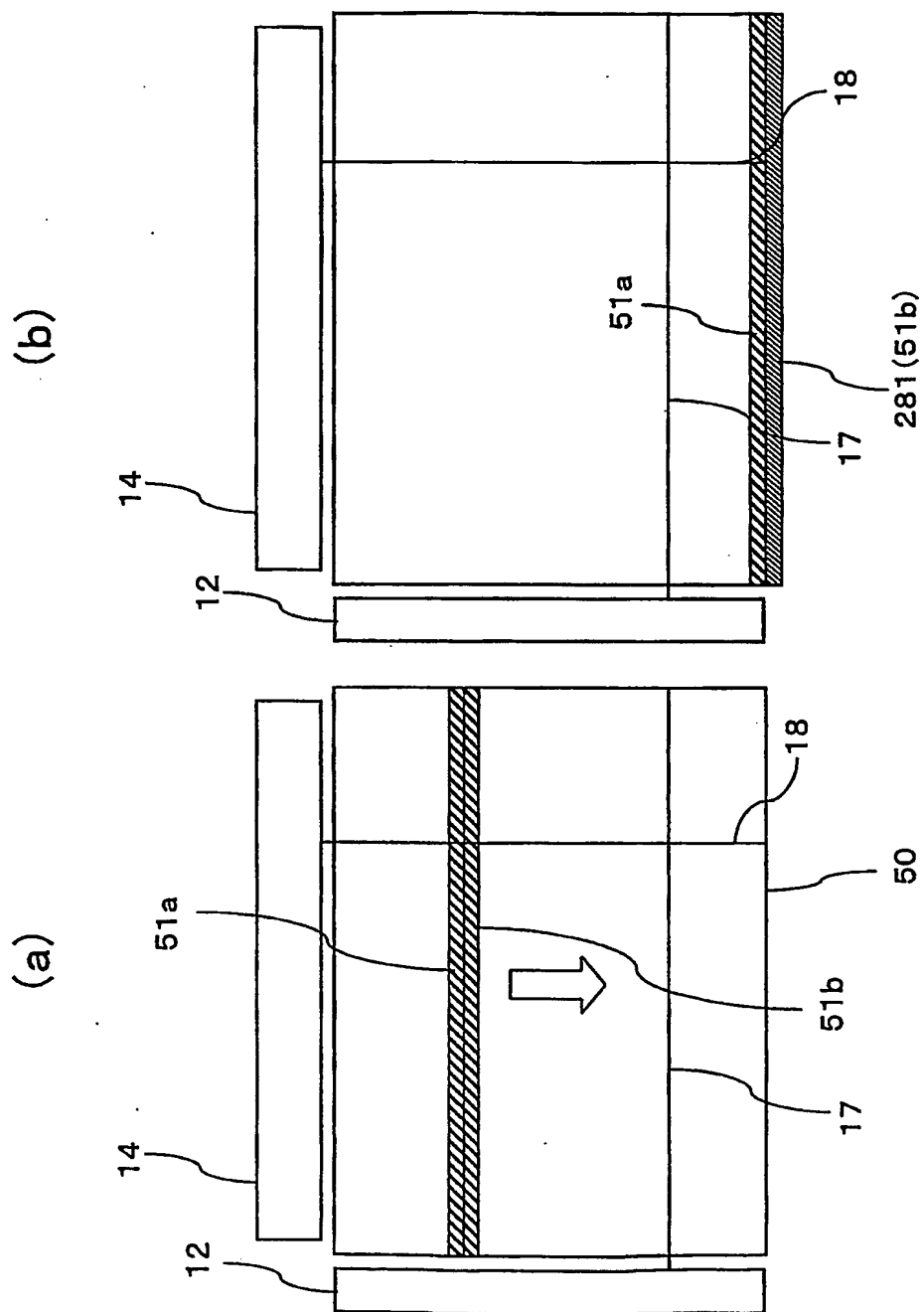


第 26 図

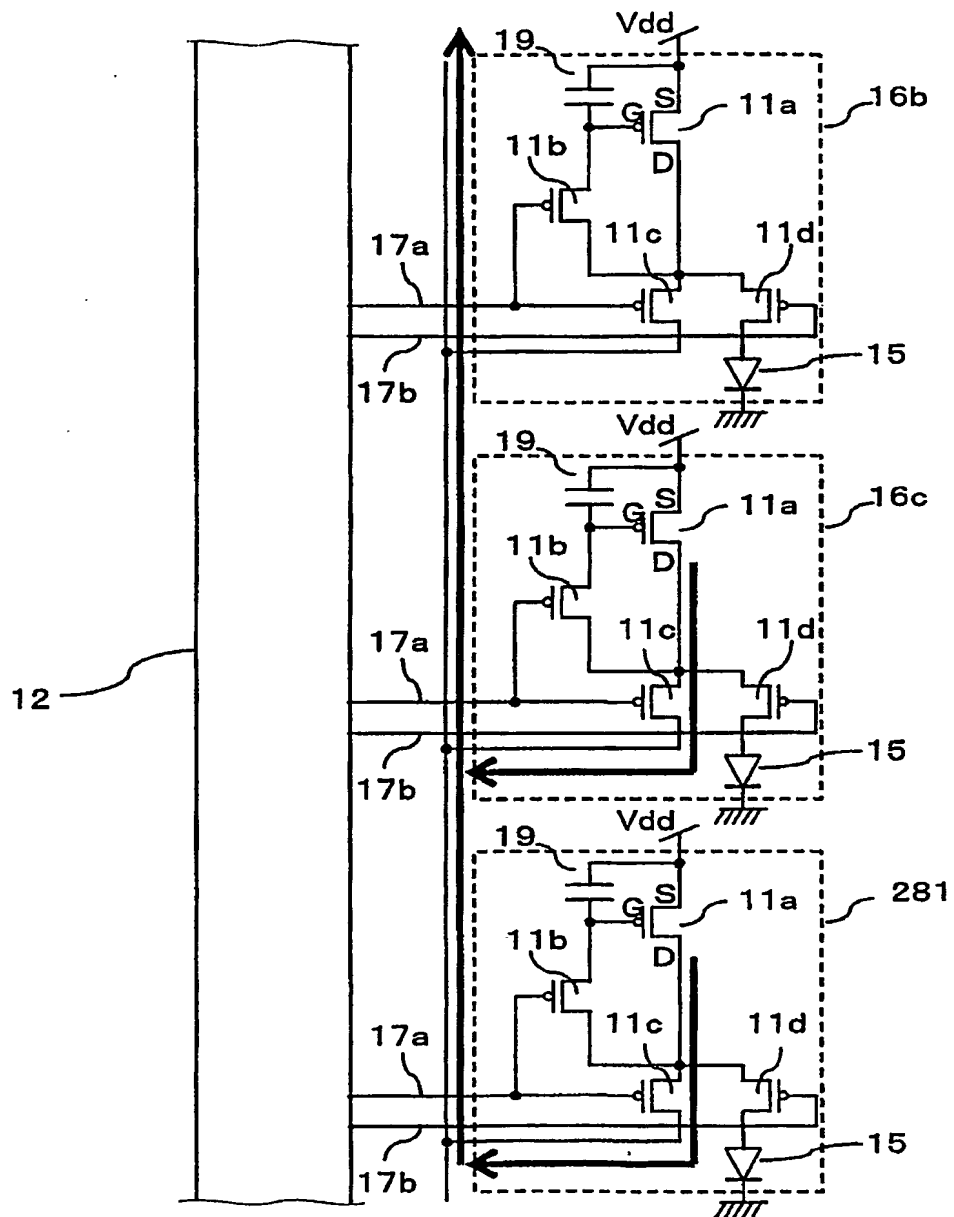


第 27 図

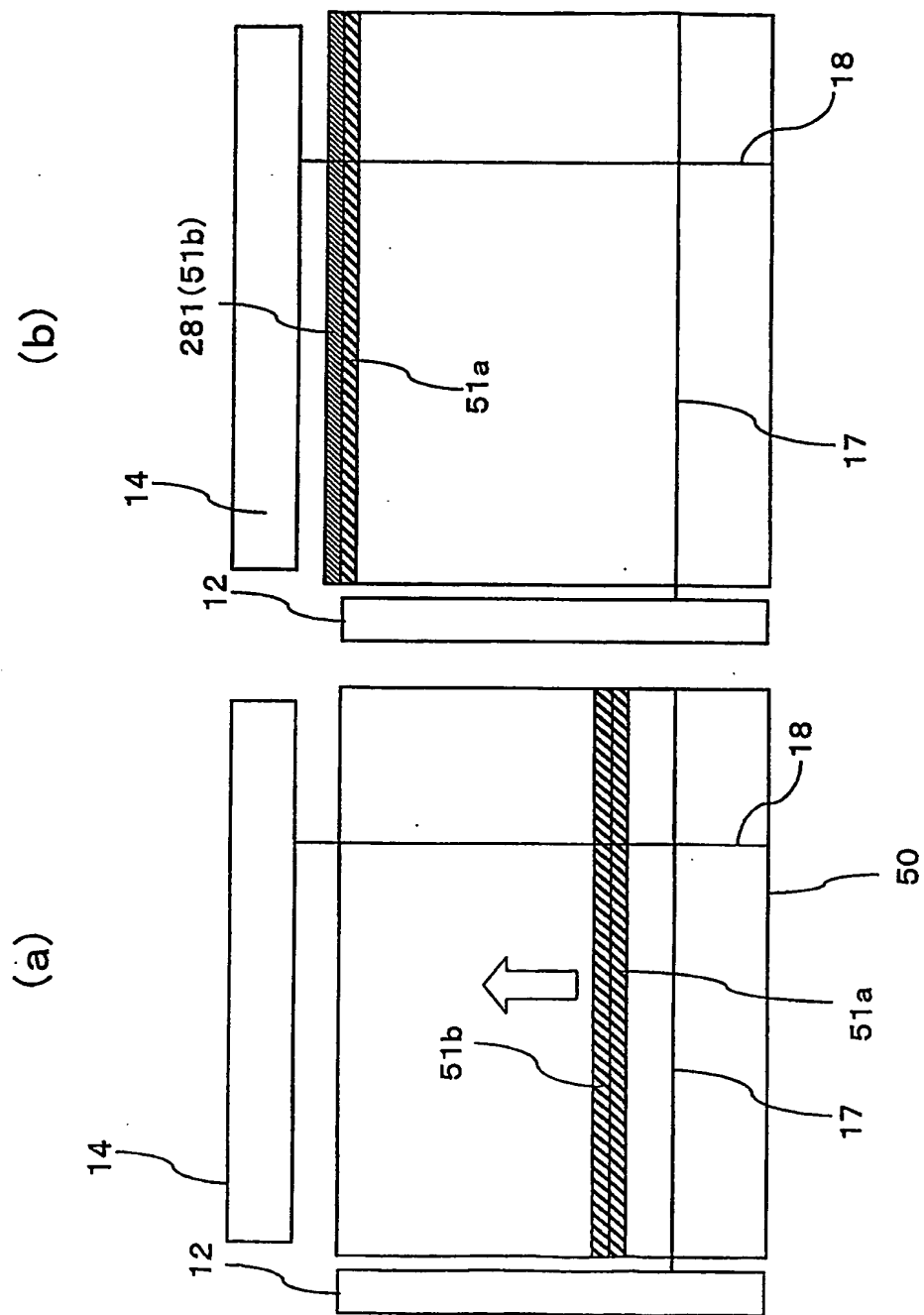
281 ダミー面素(行)



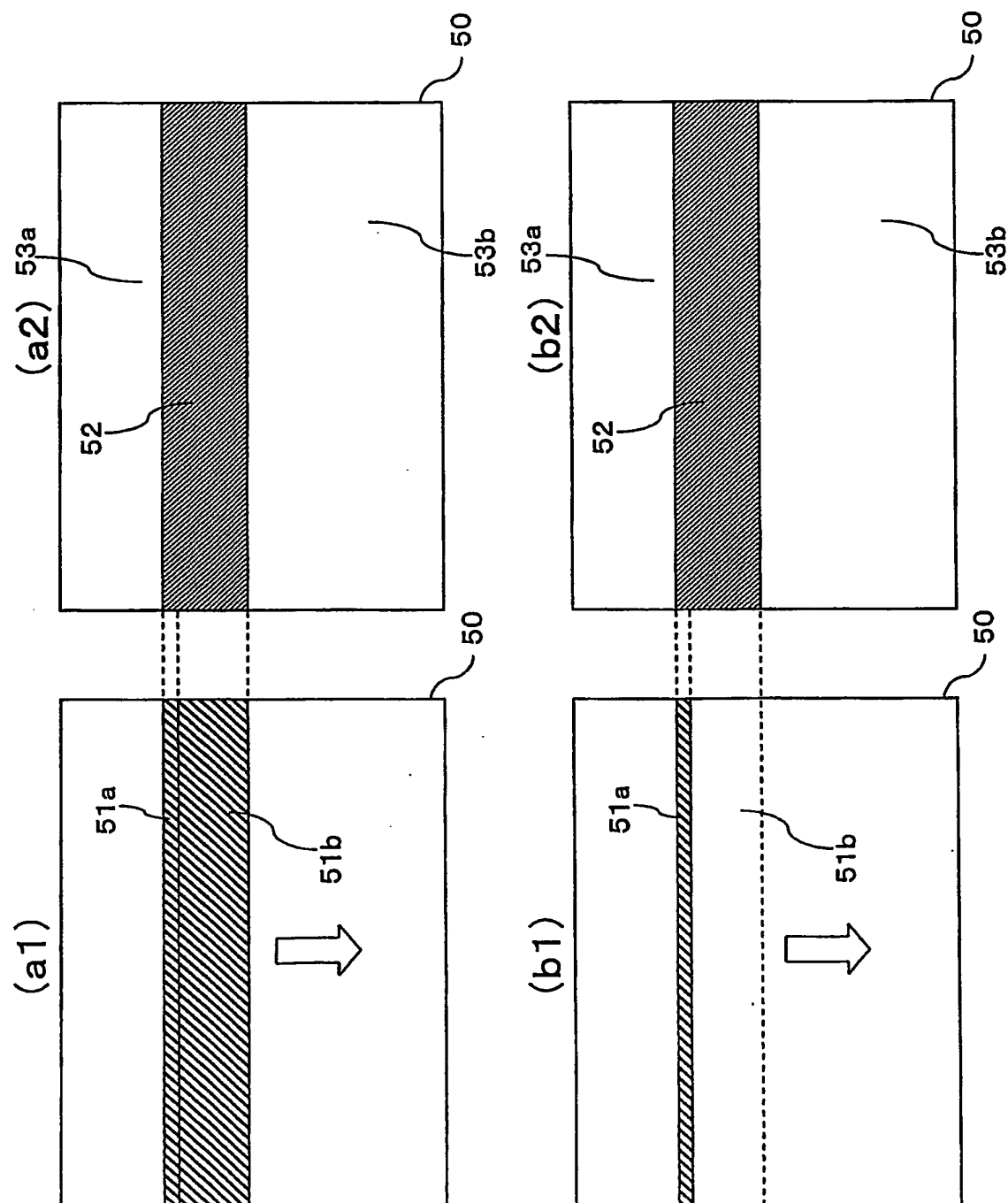
第 28 図



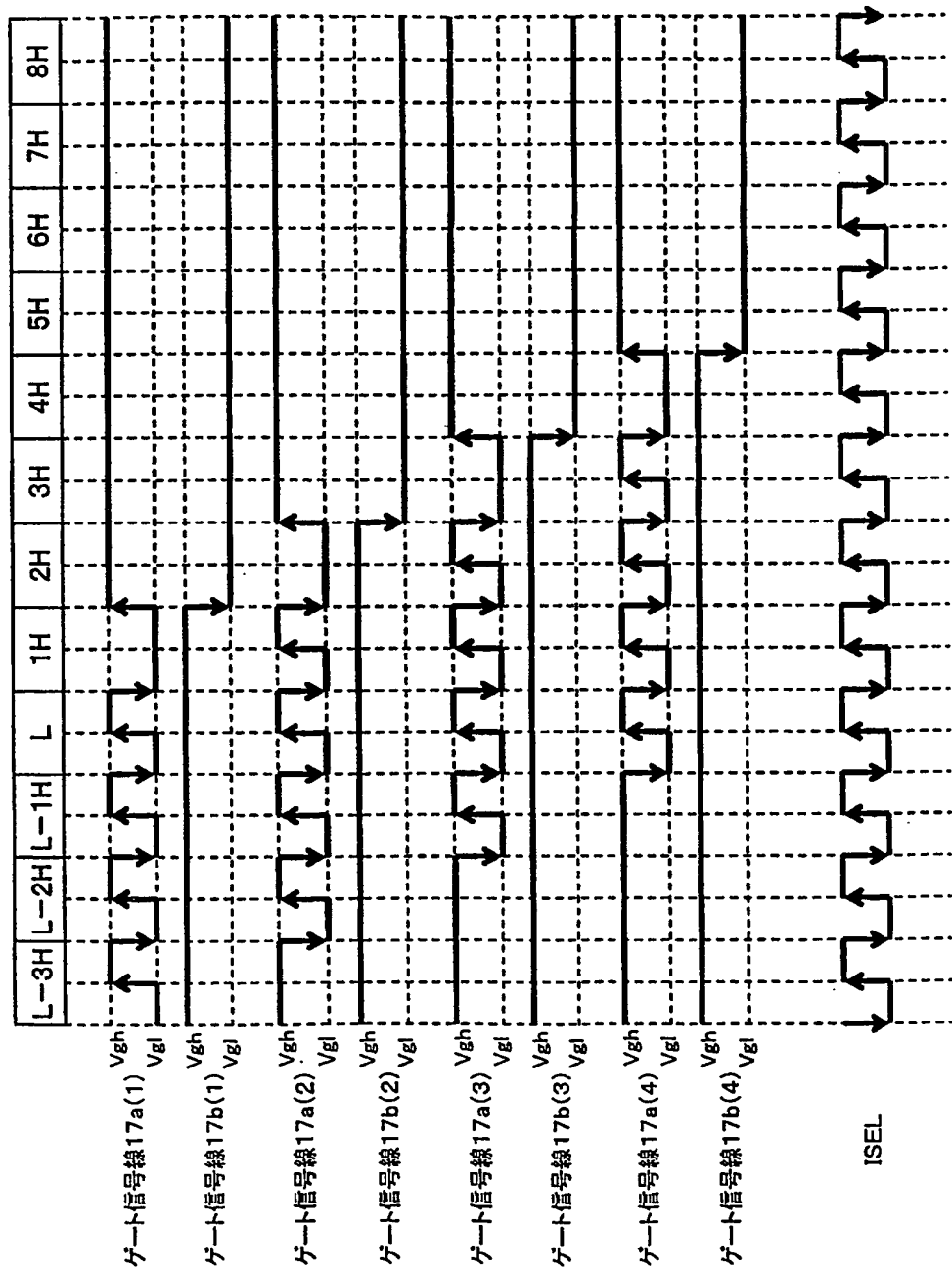
第 29 図



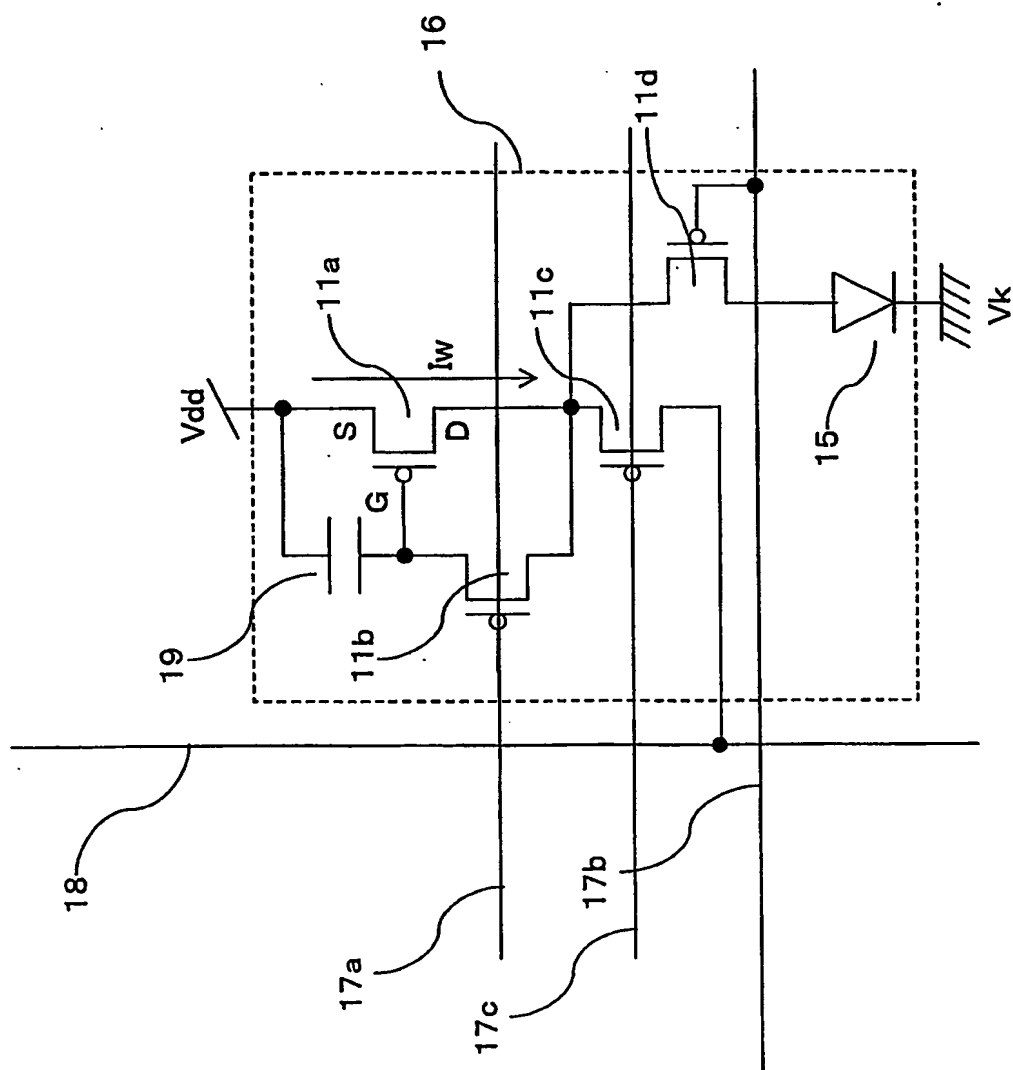
第 30 図



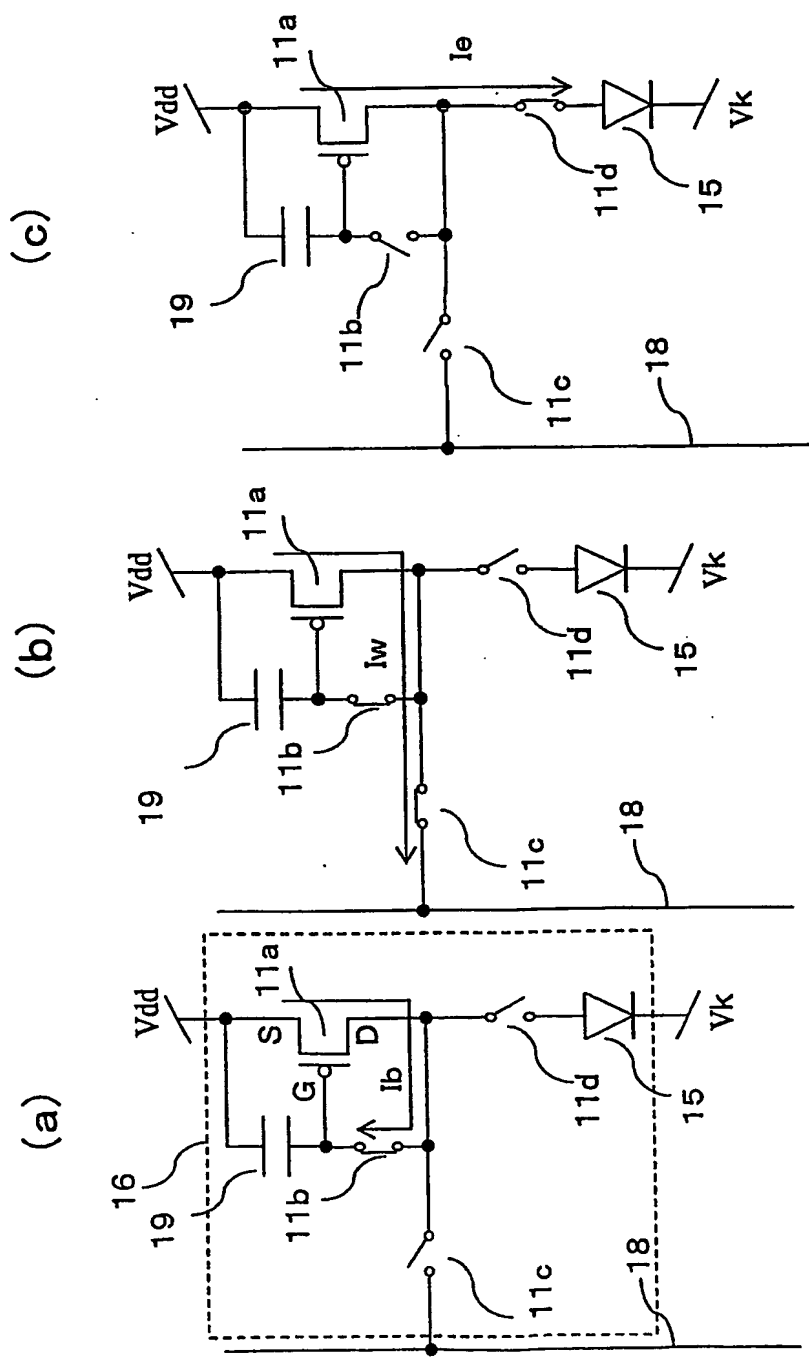
第 3 1 図



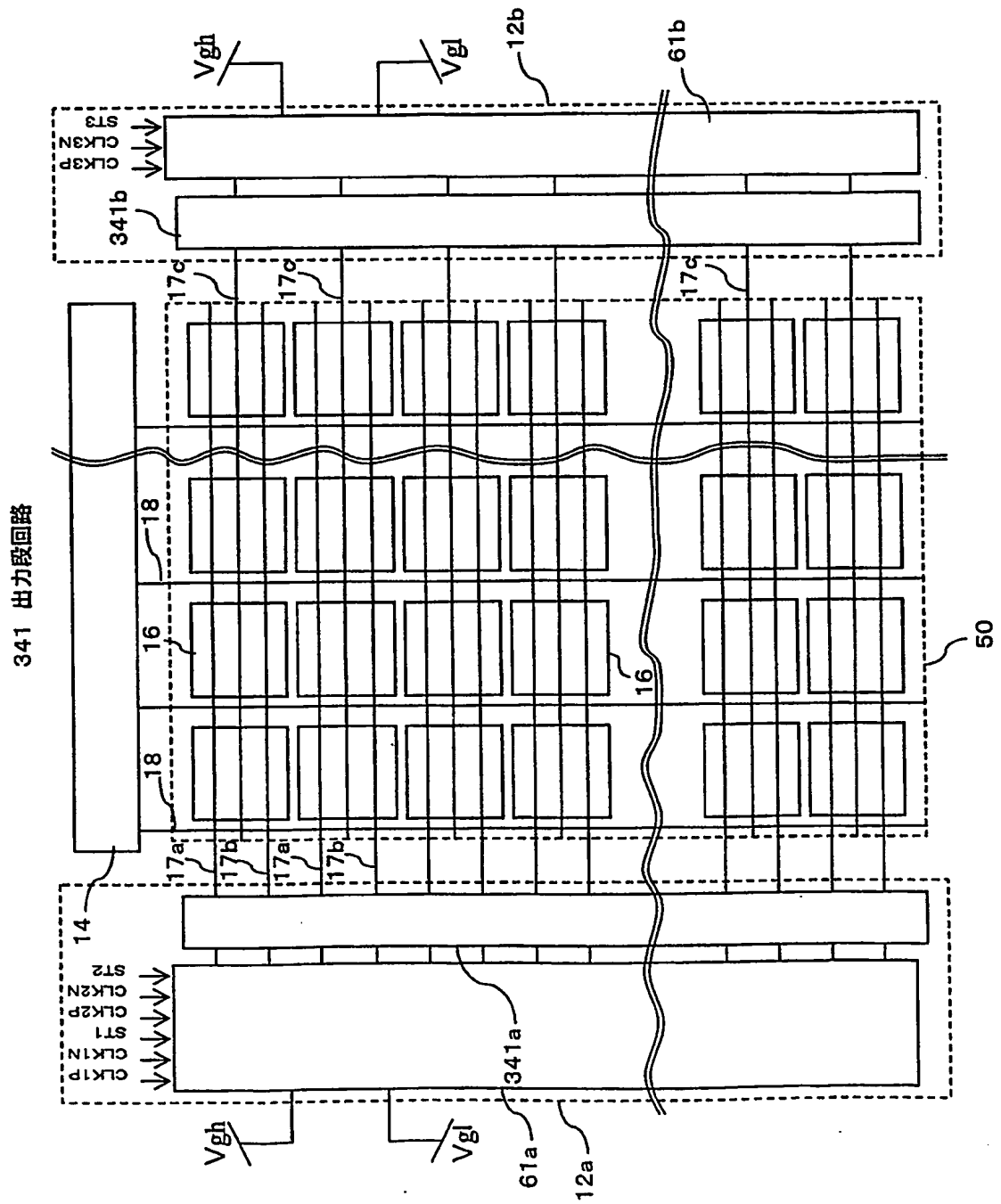
第 32 図



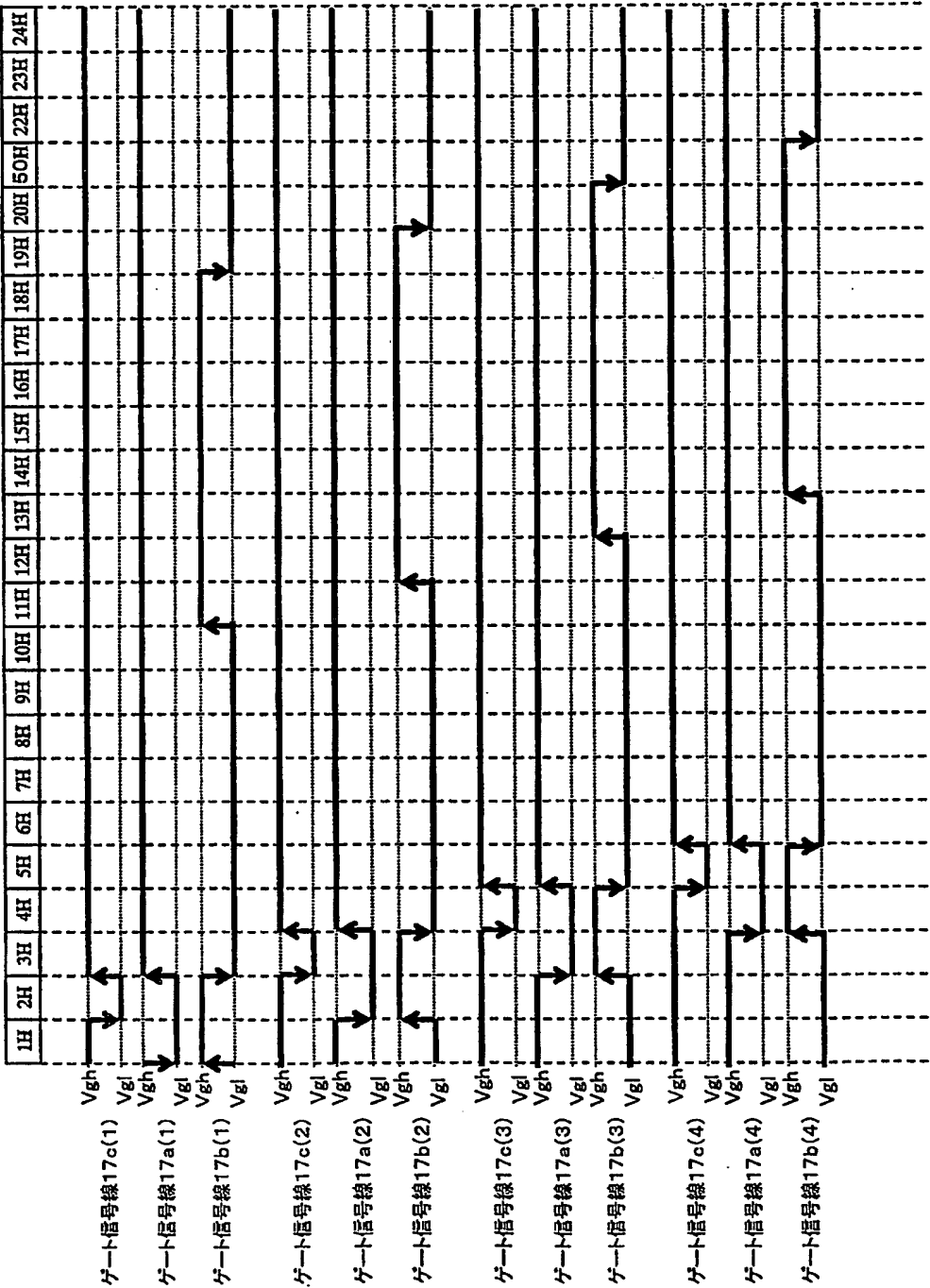
第 33 図



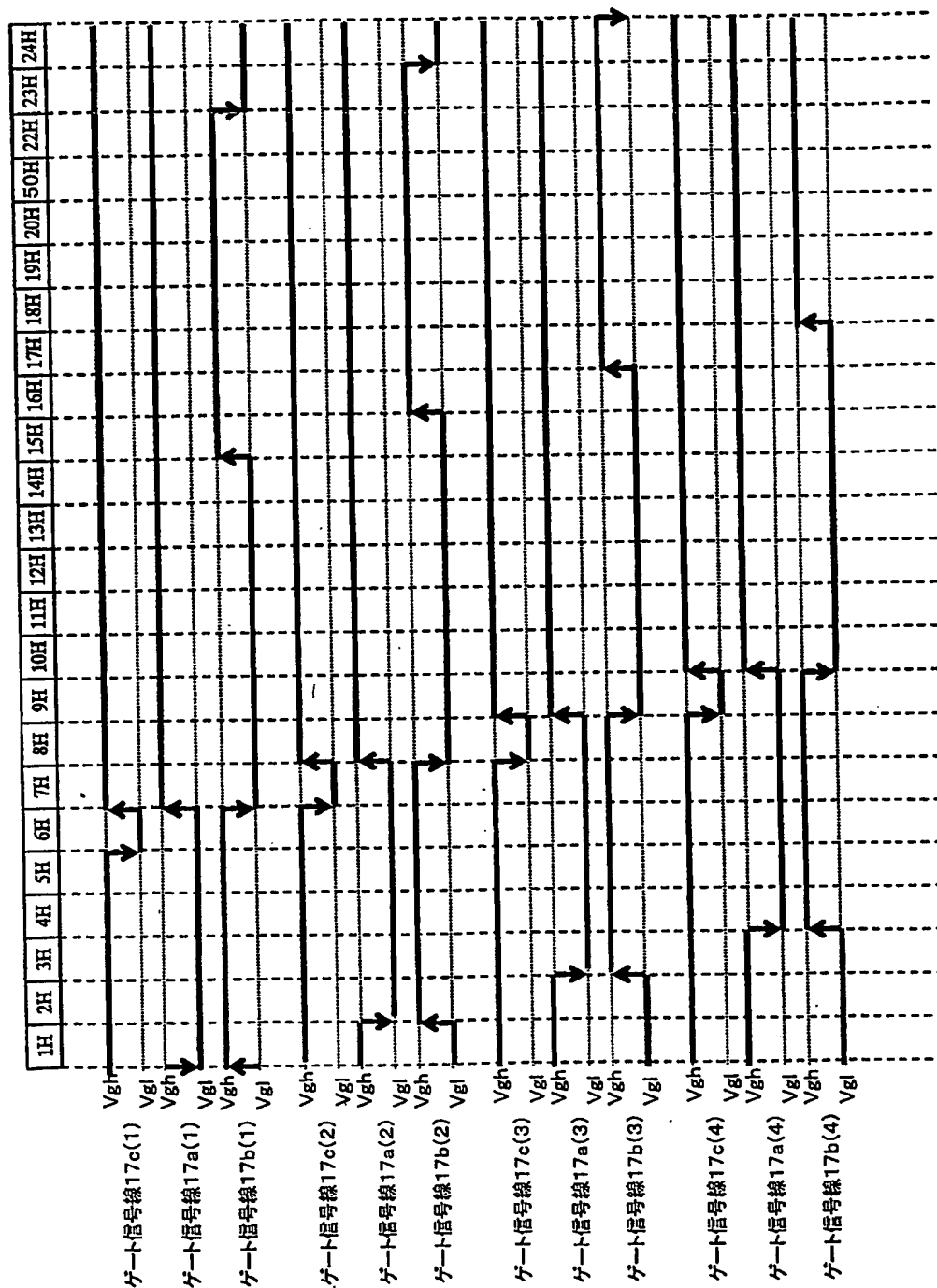
第 34 図



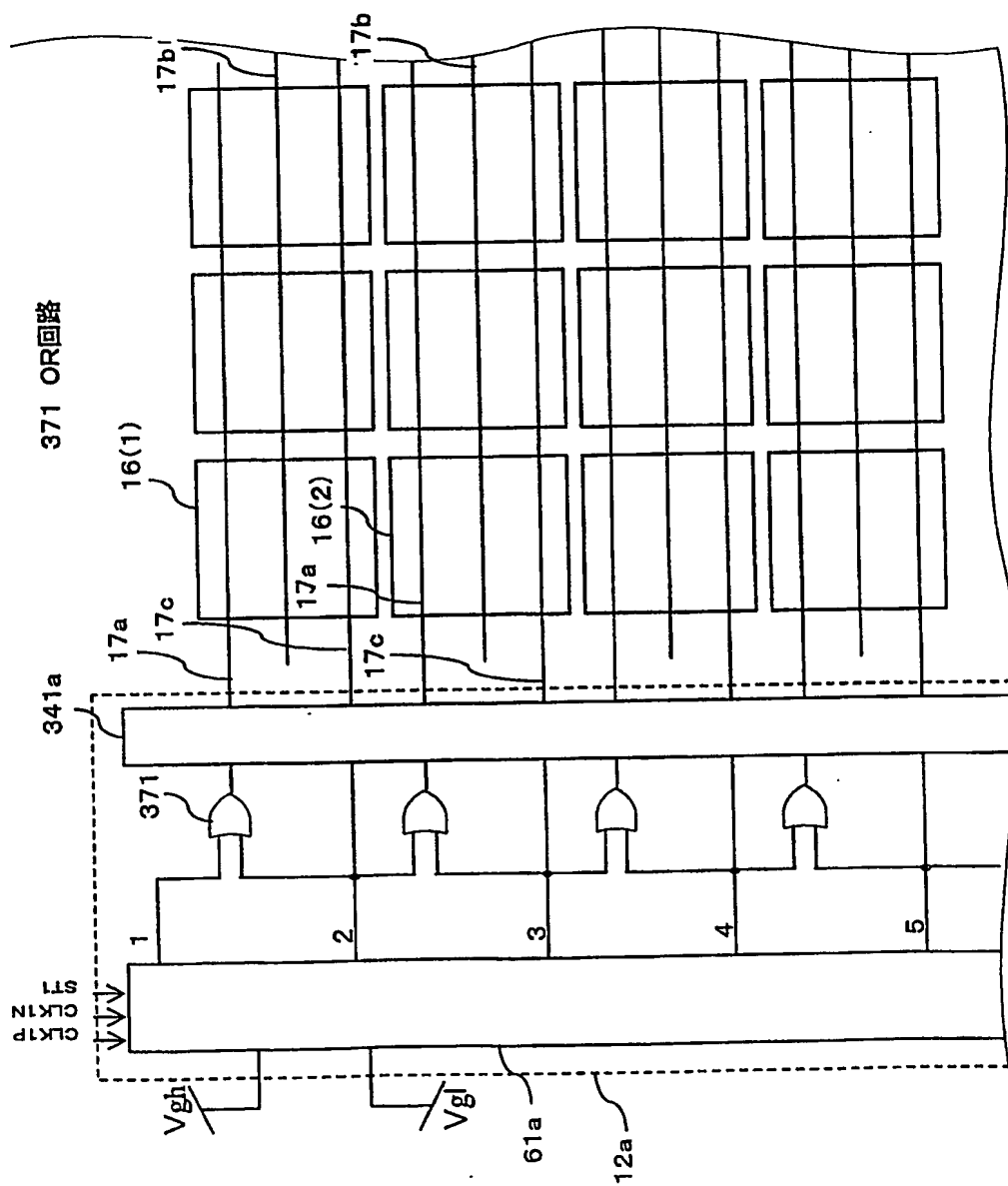
第 35 図



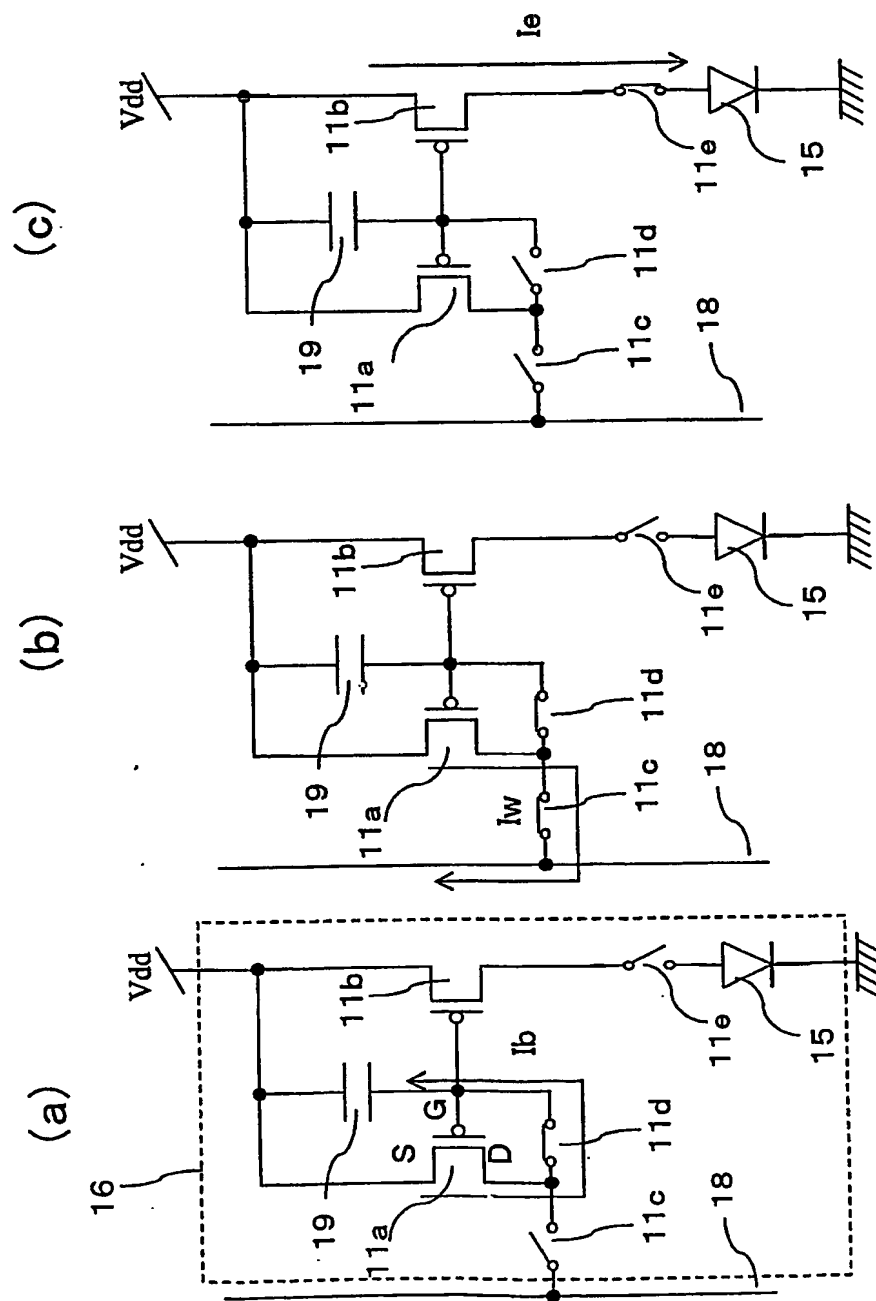
第 36 図



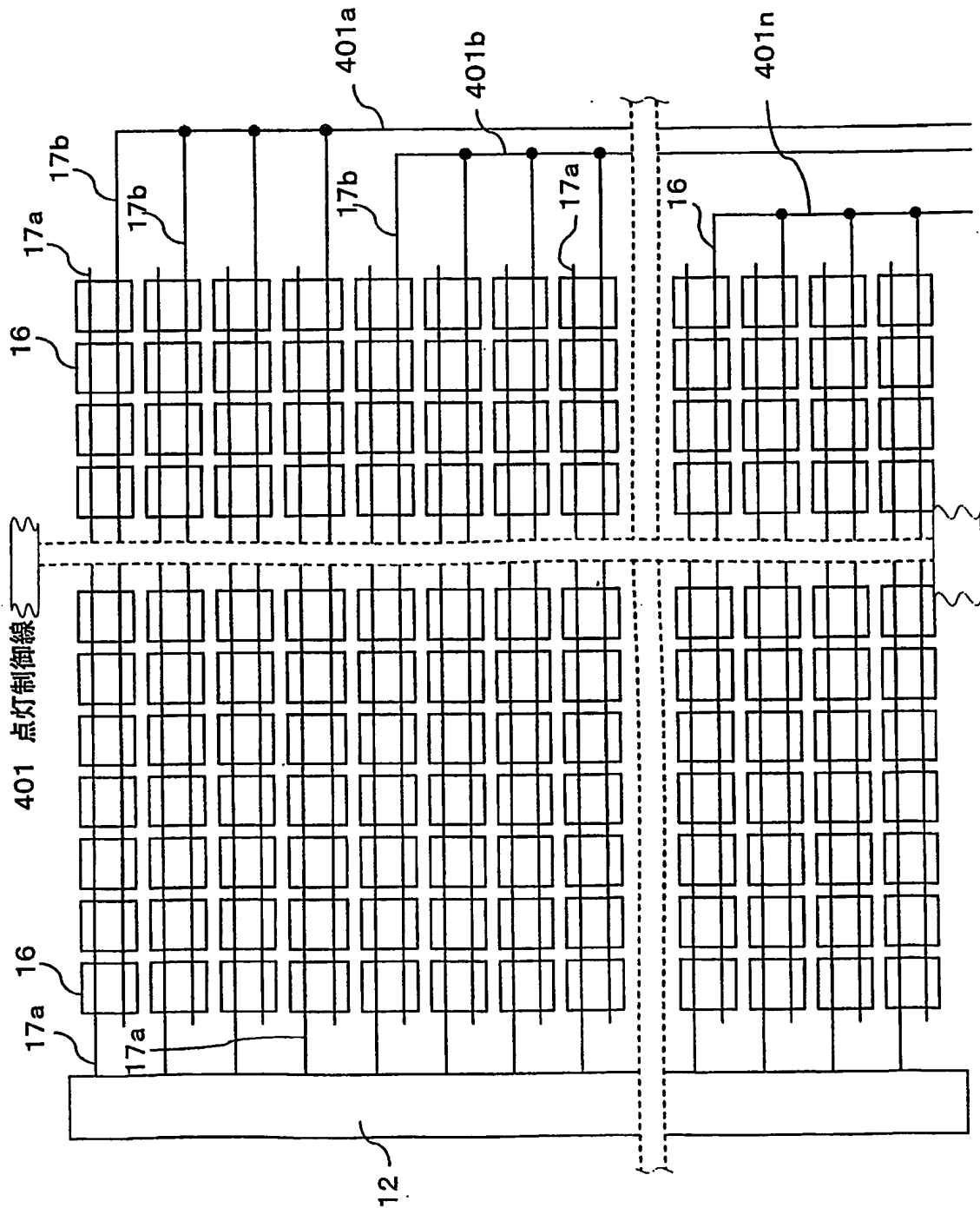
第 37 図



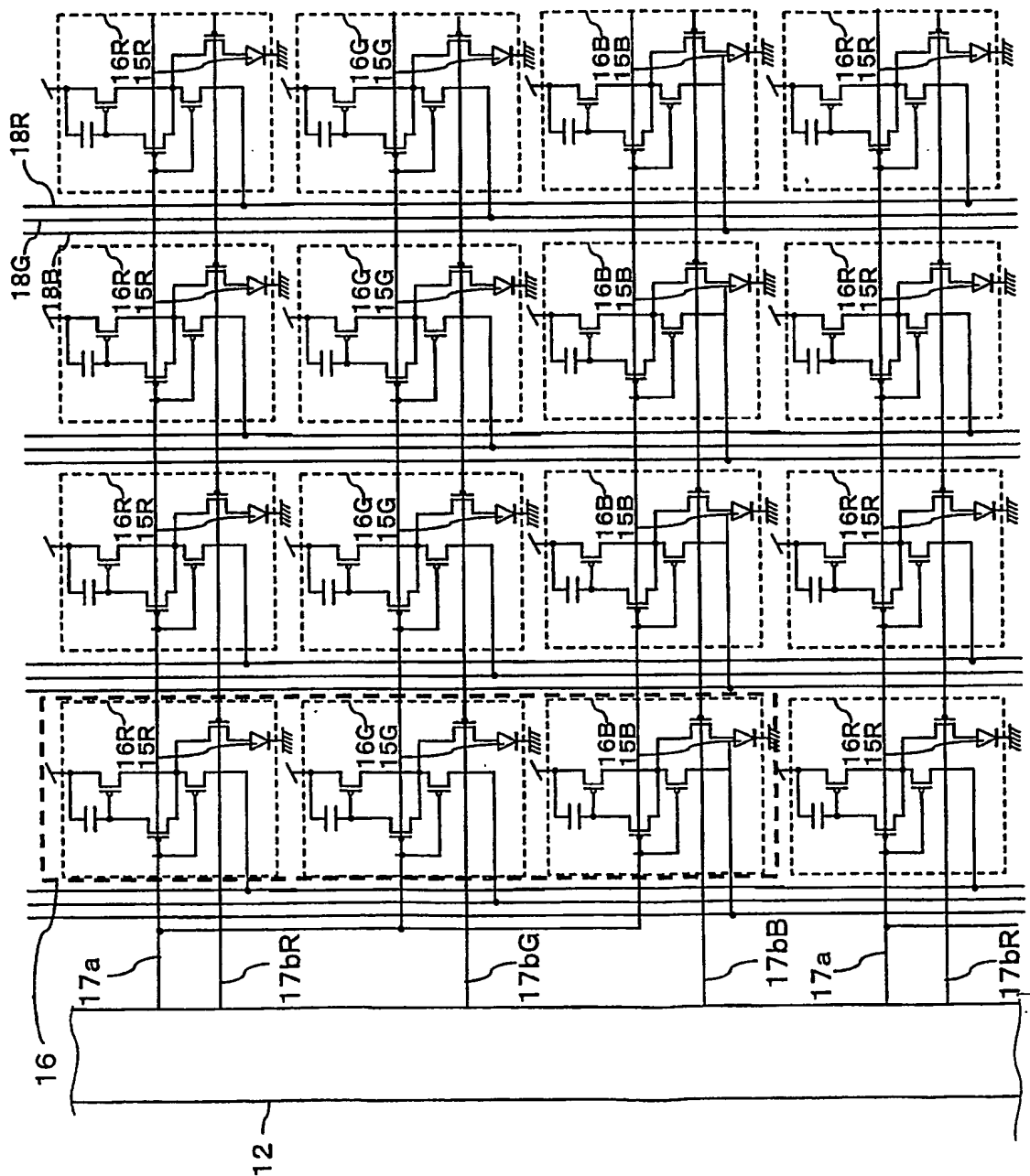
第 39 図



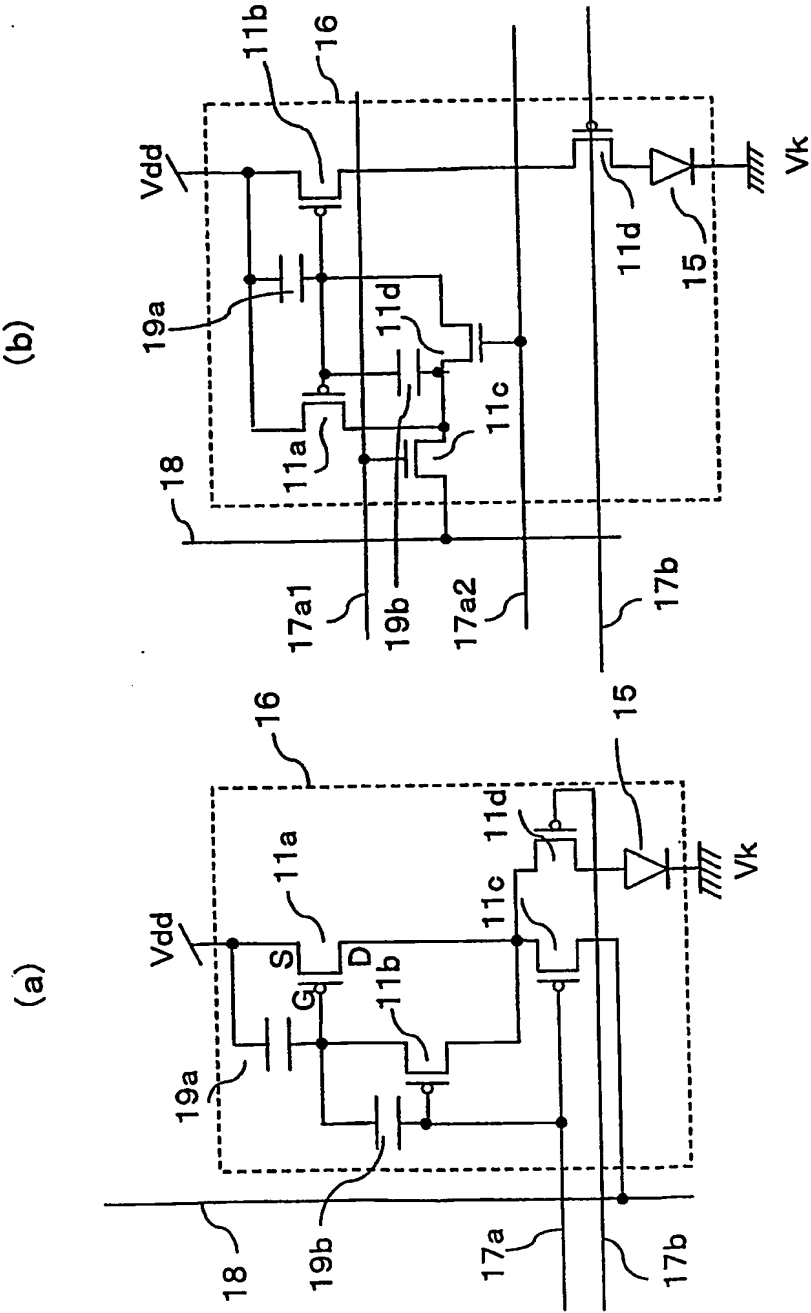
第 40 図



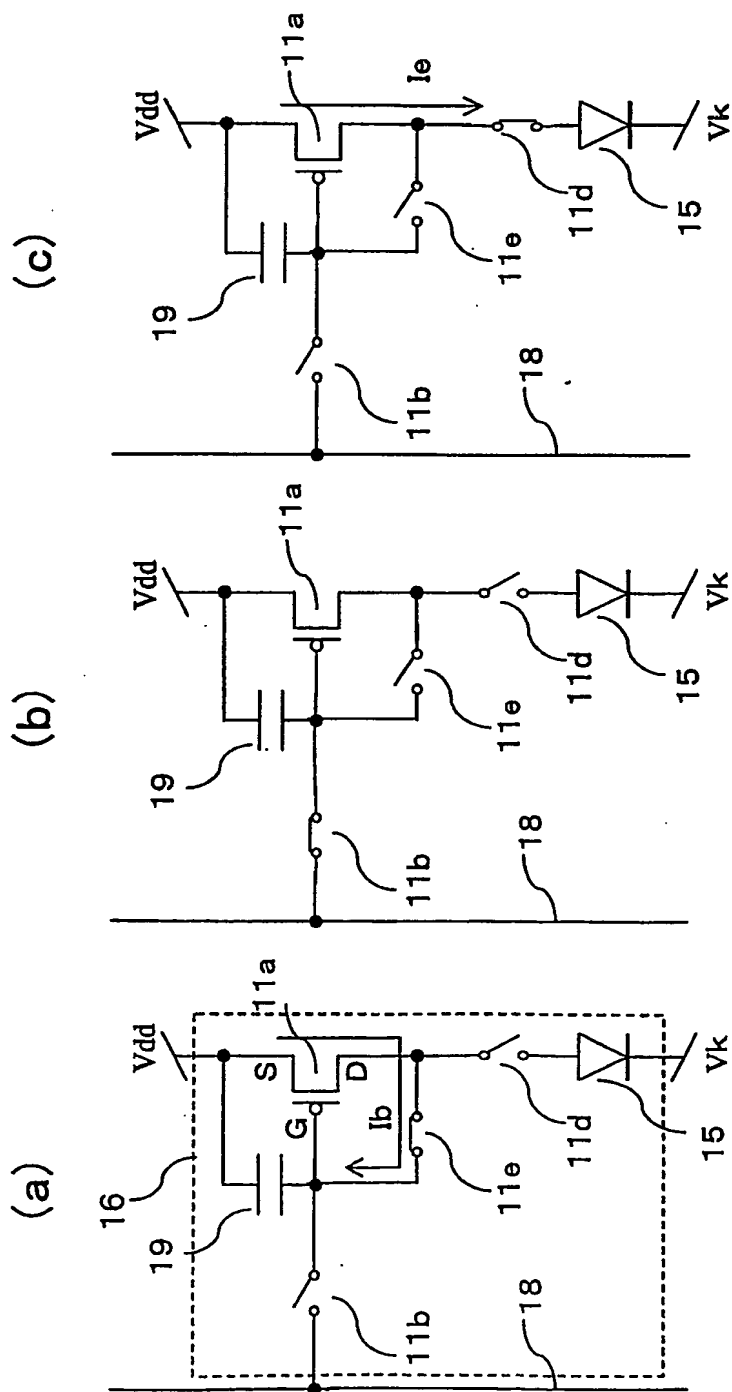
第 4 1 図



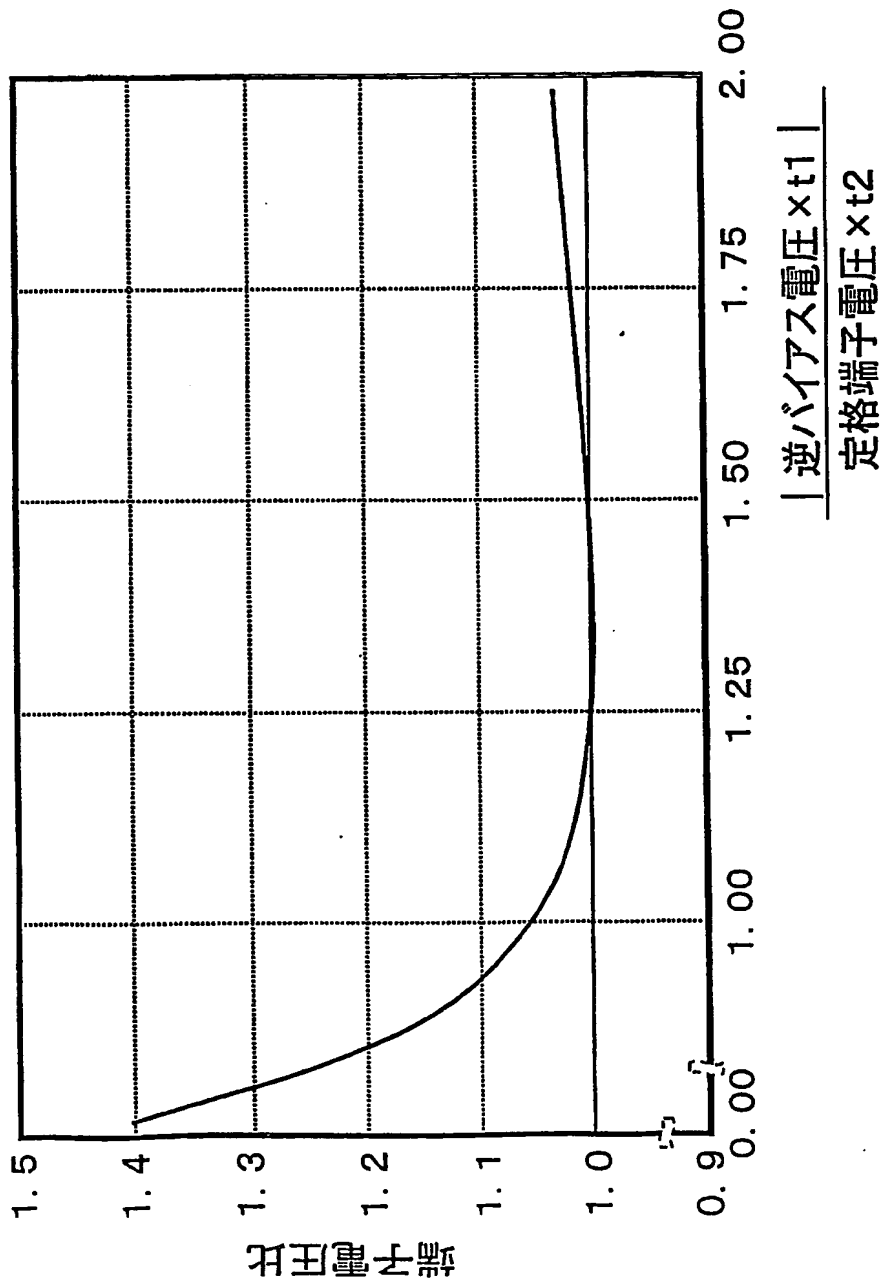
第 4 2 図



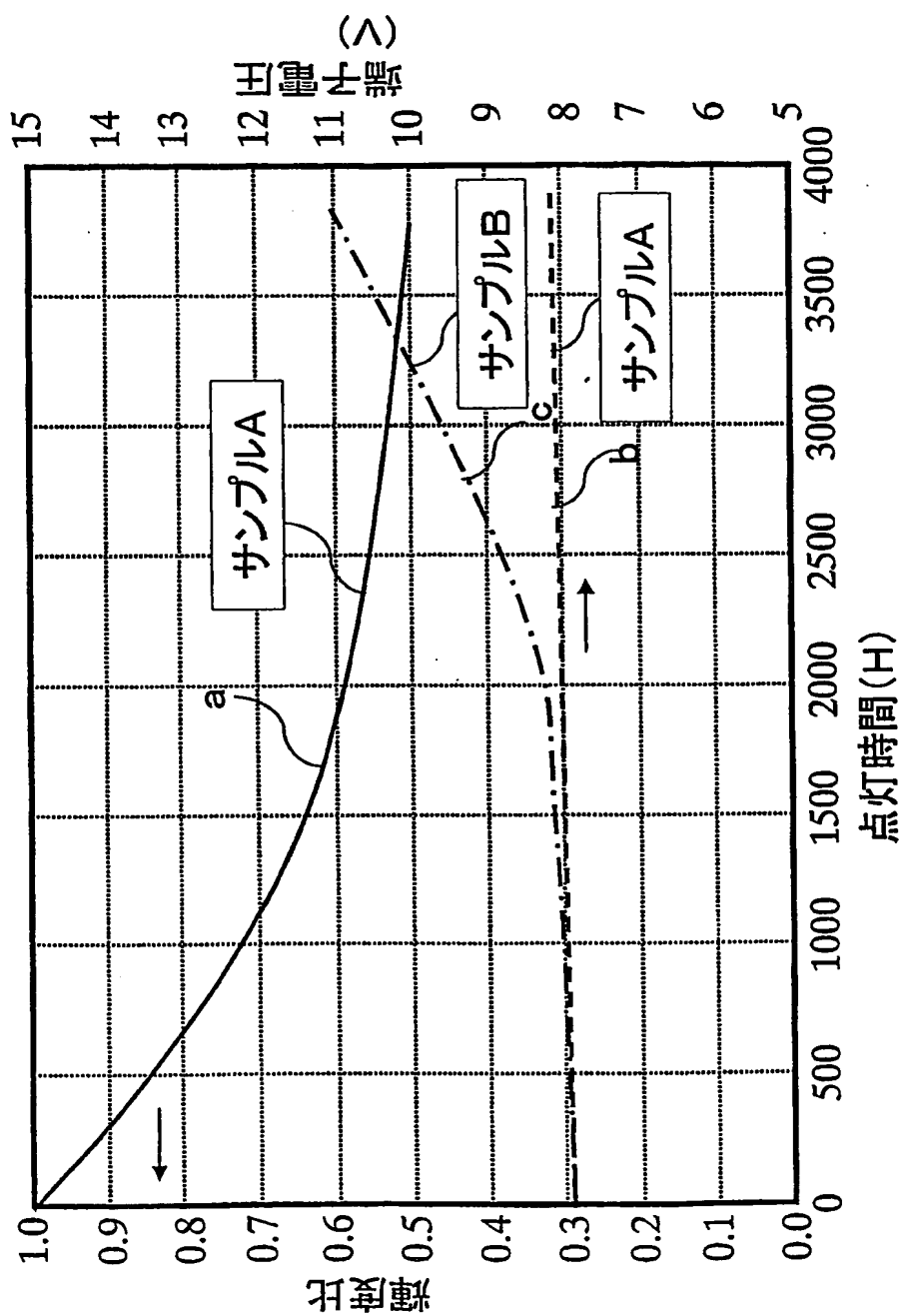
第 4 4 図



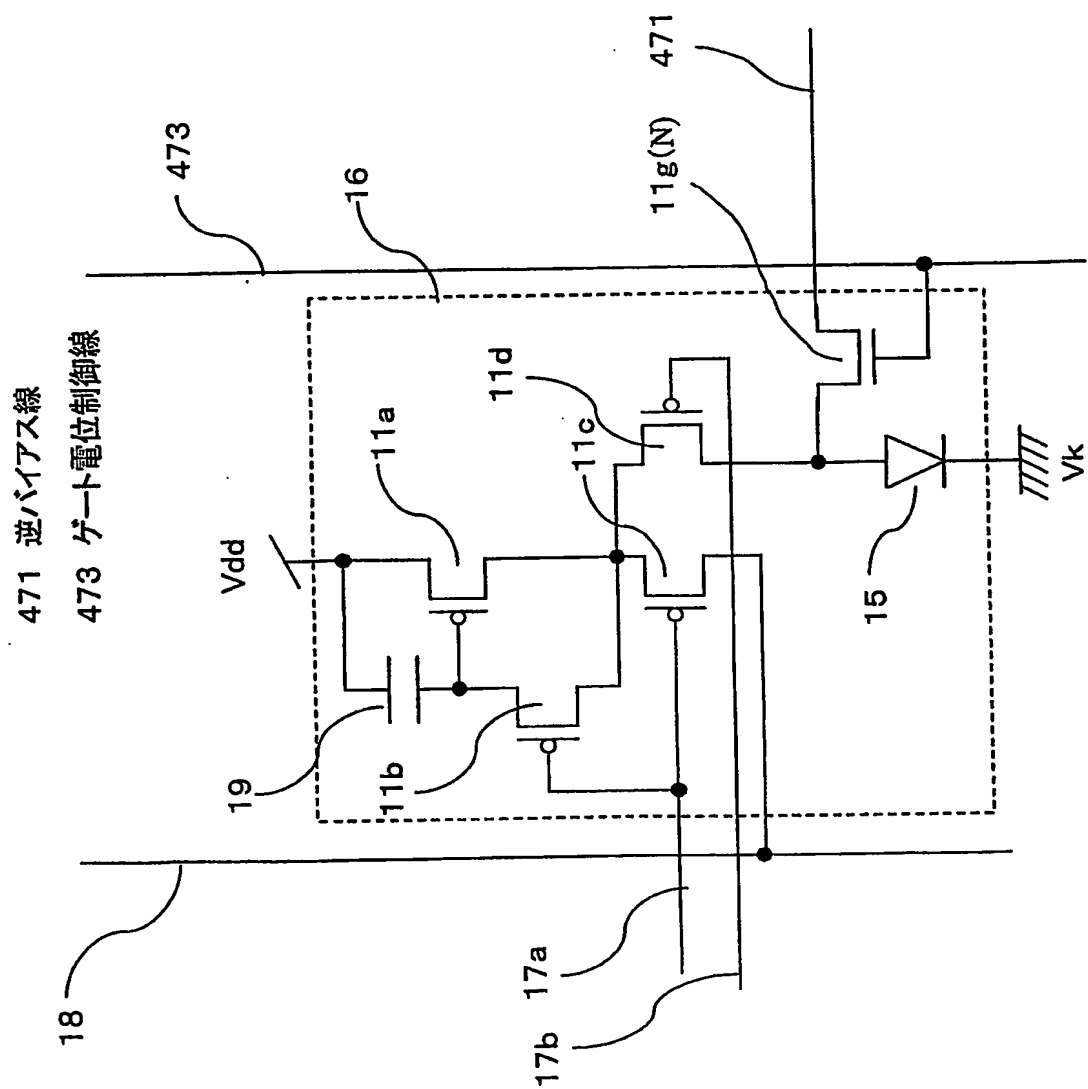
第 45 図



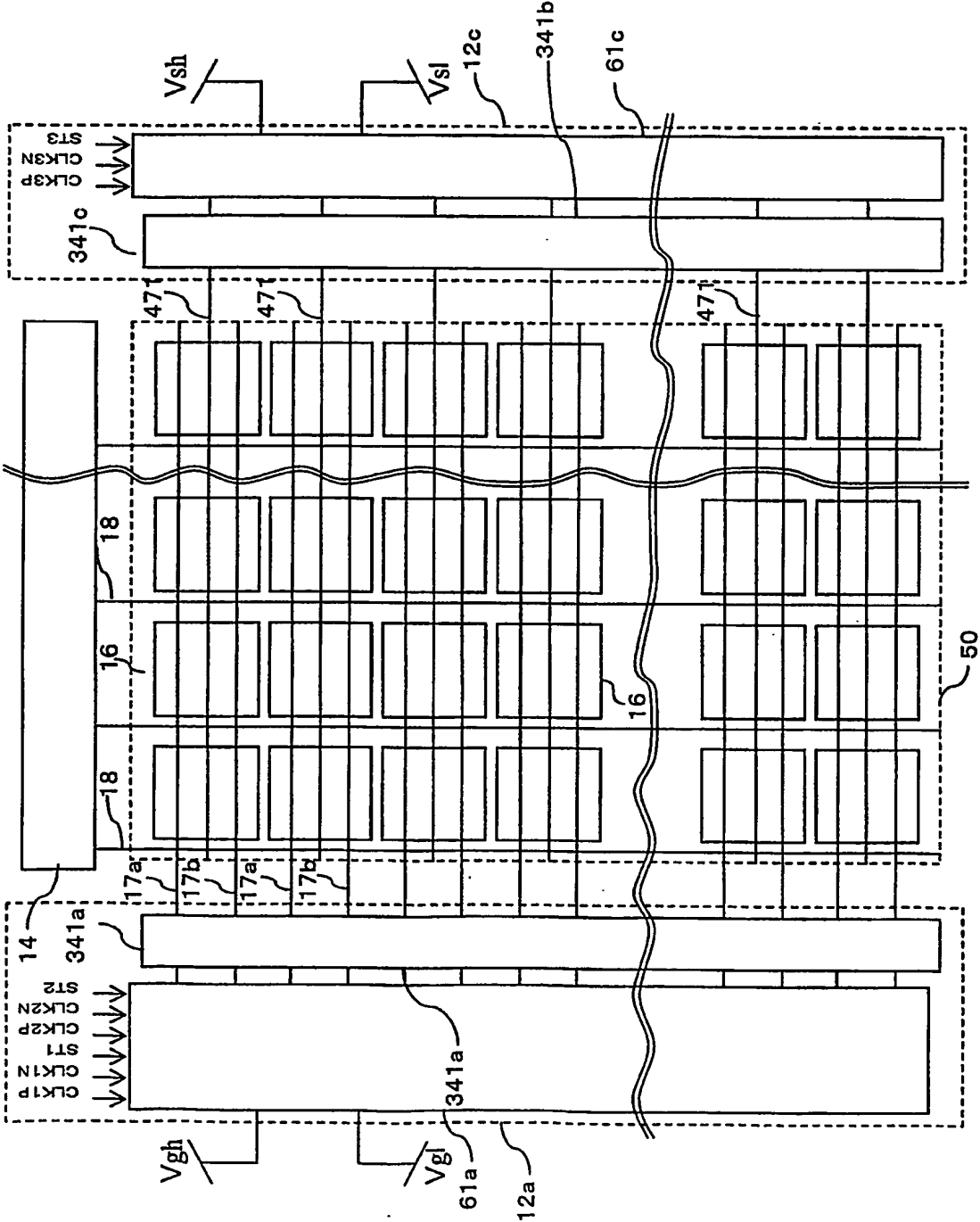
第46図



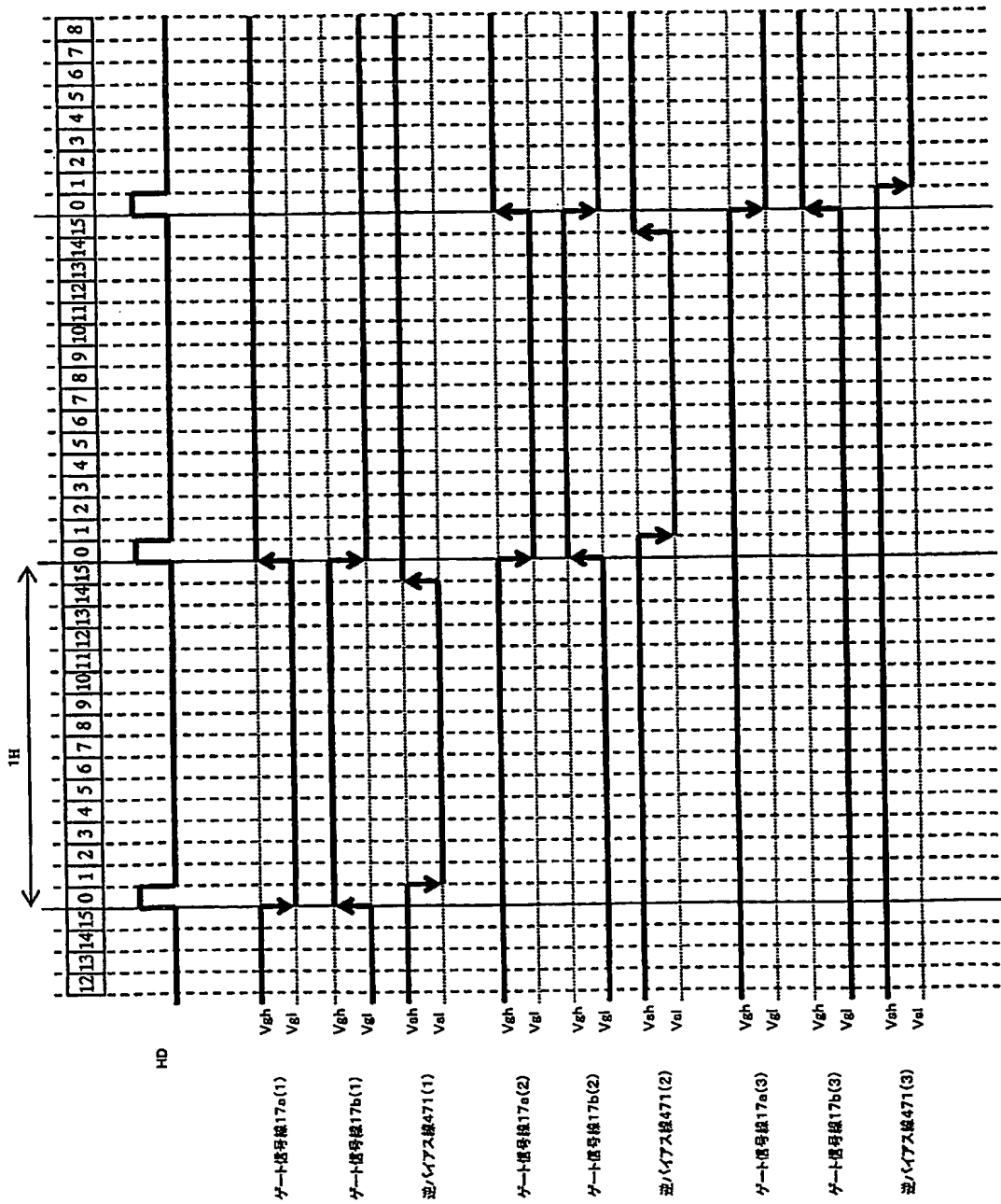
第47図



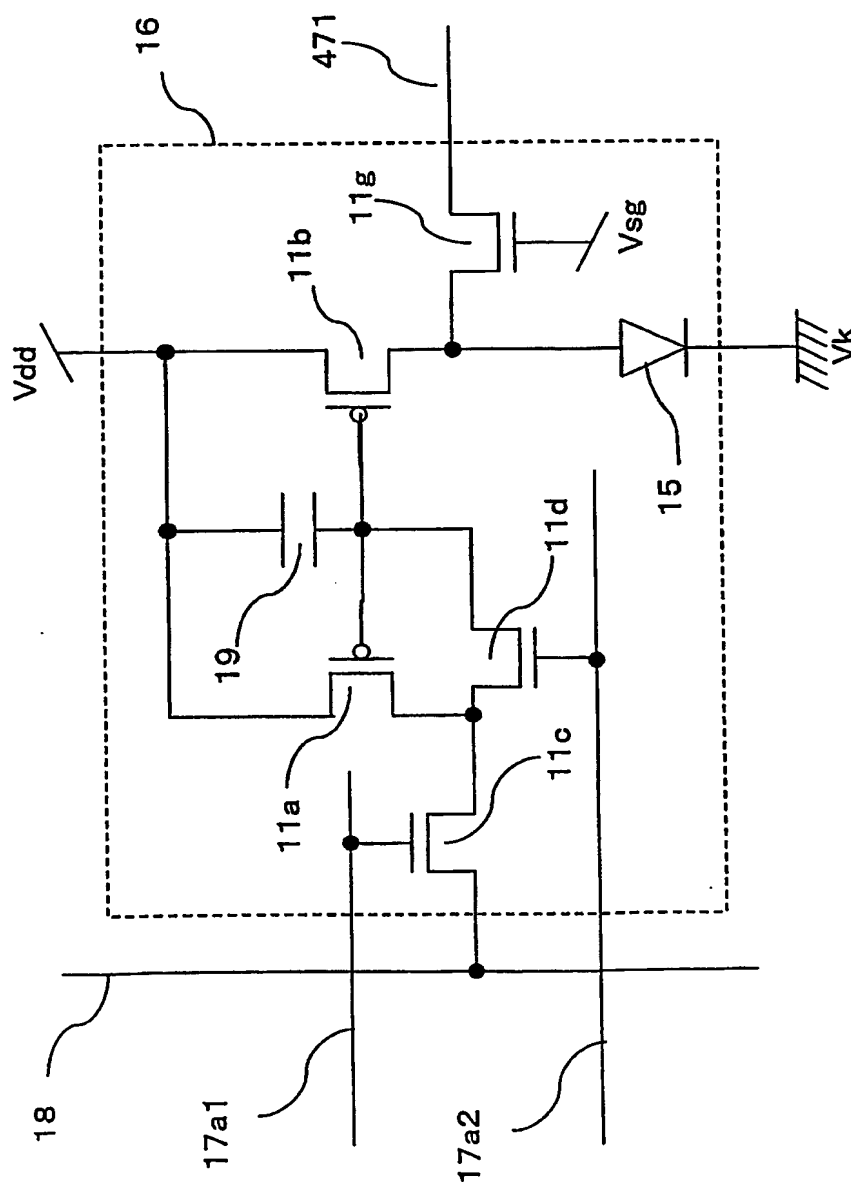
第 48 图



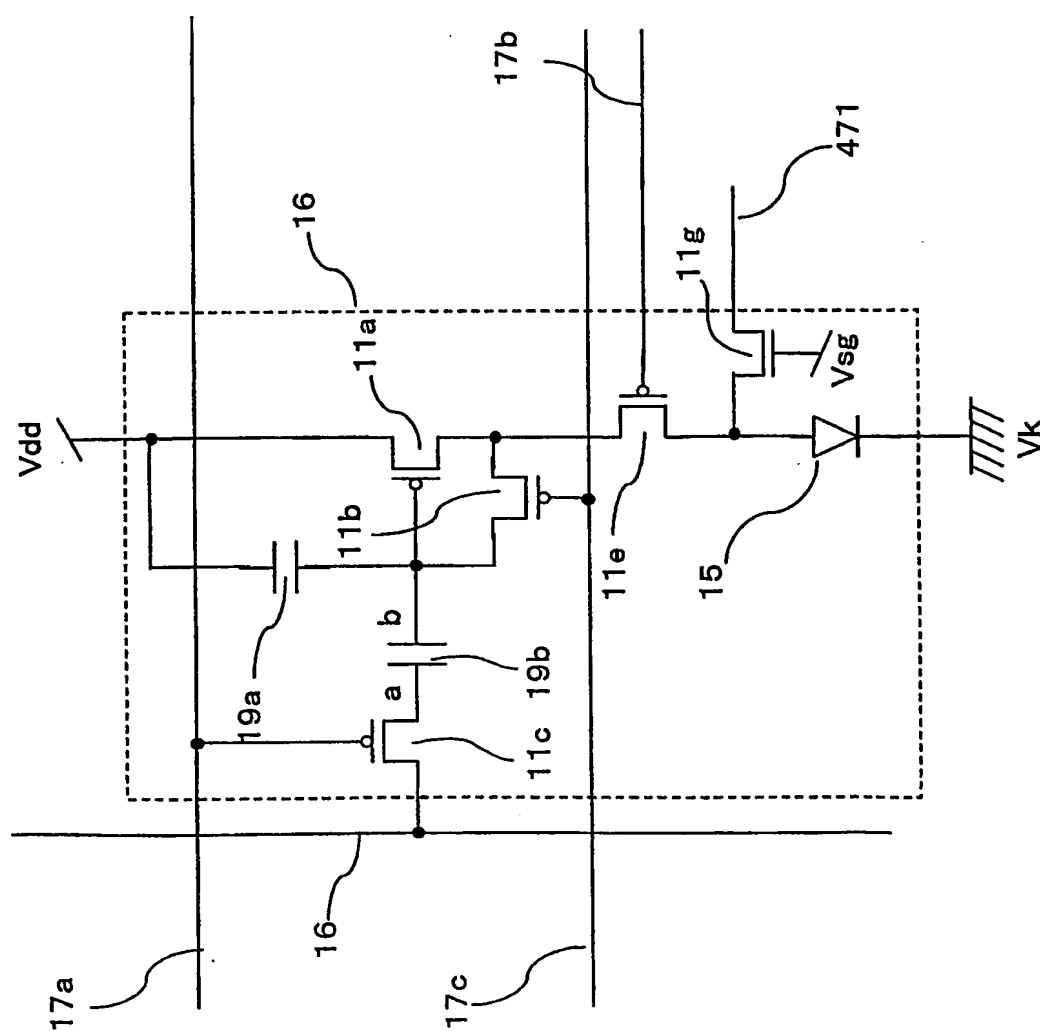
第 49 図



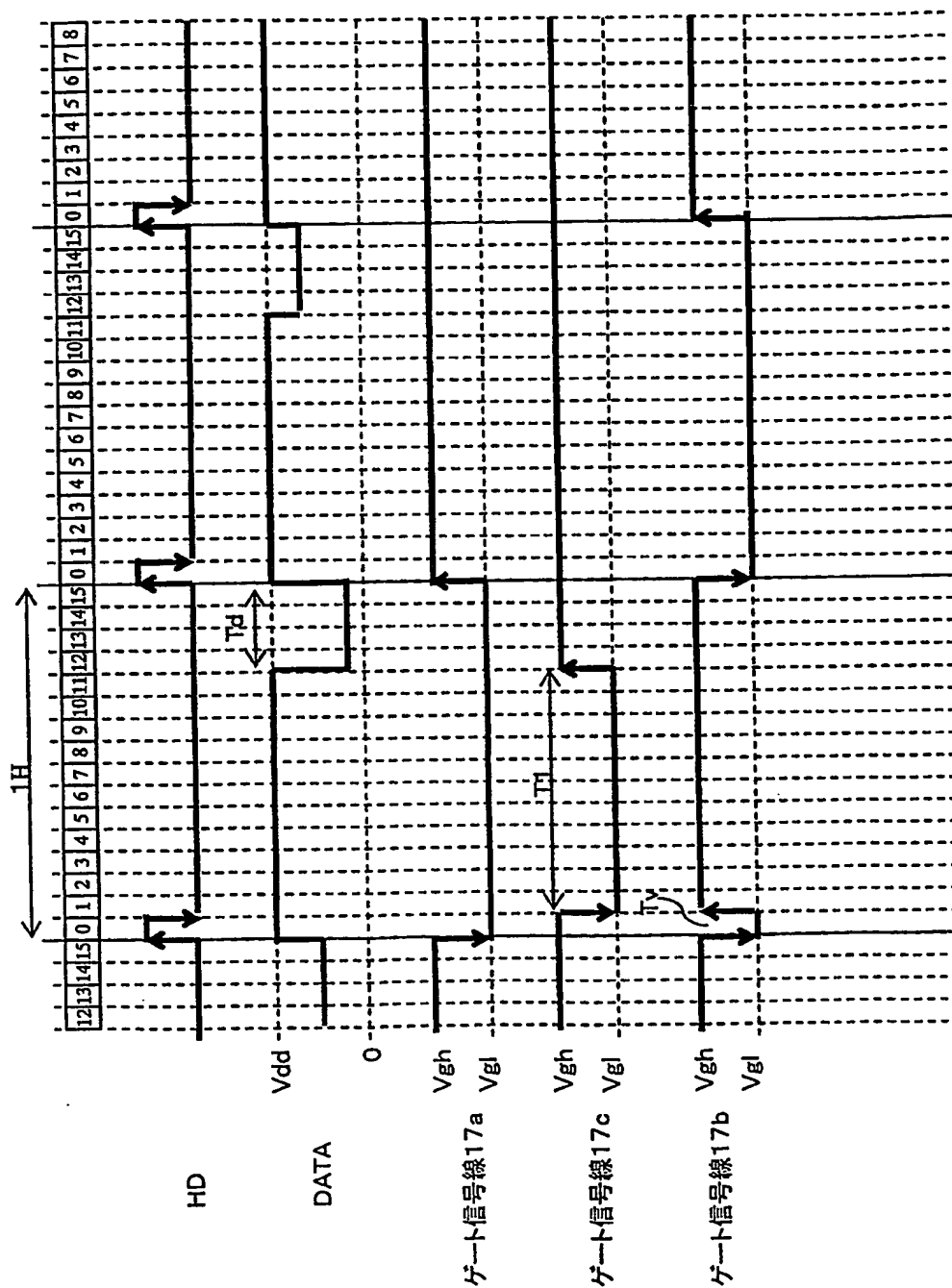
第50図



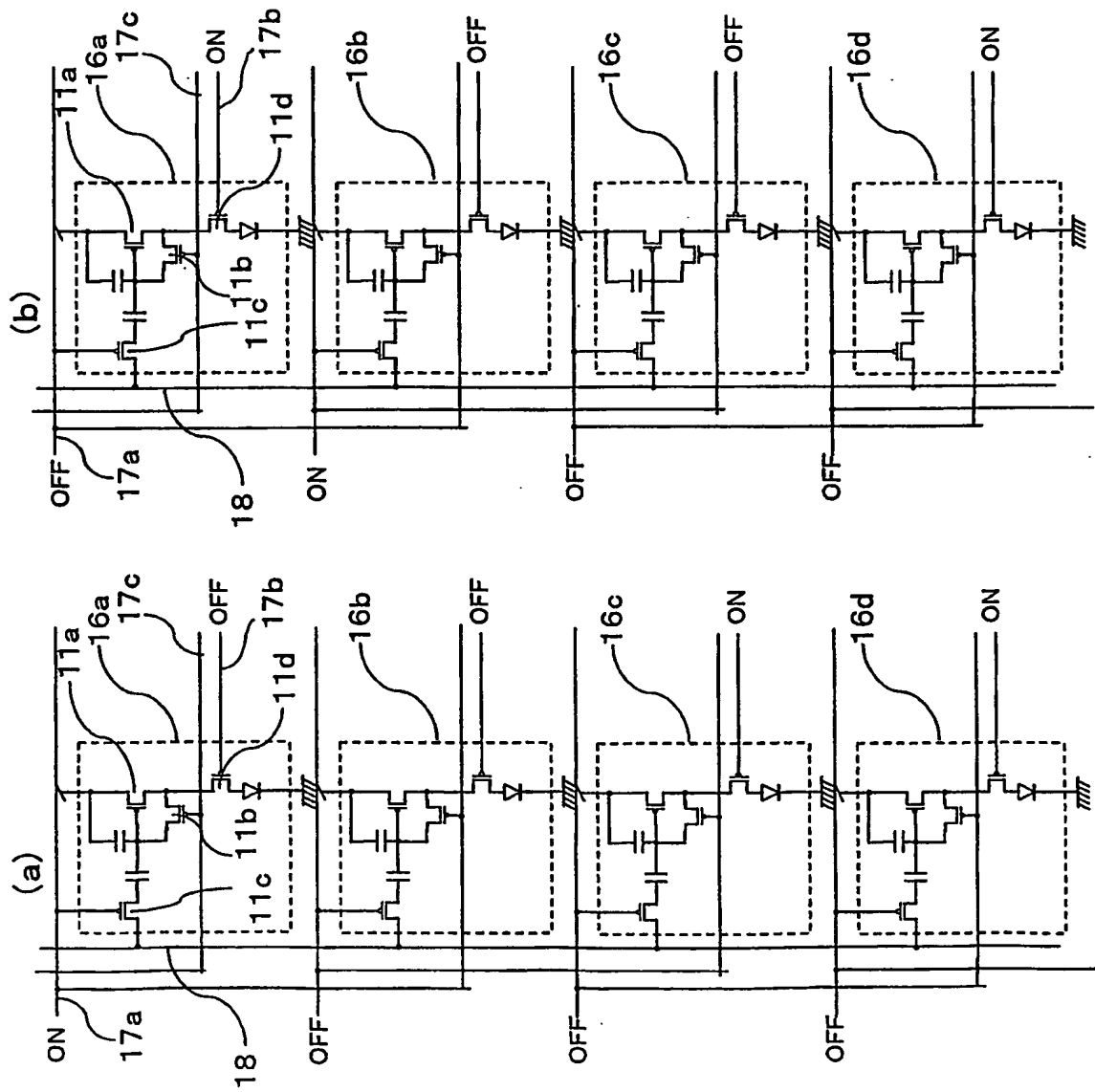
第 51 図



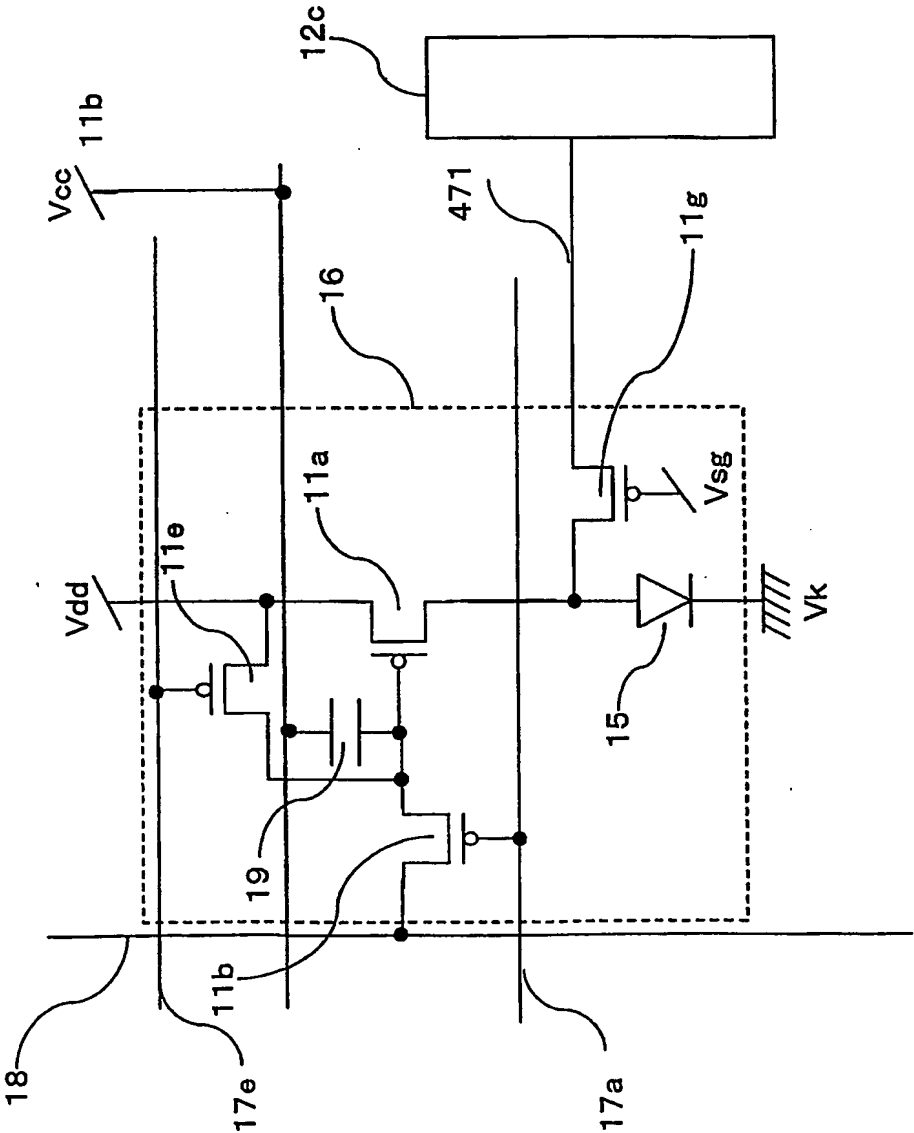
第 52 図



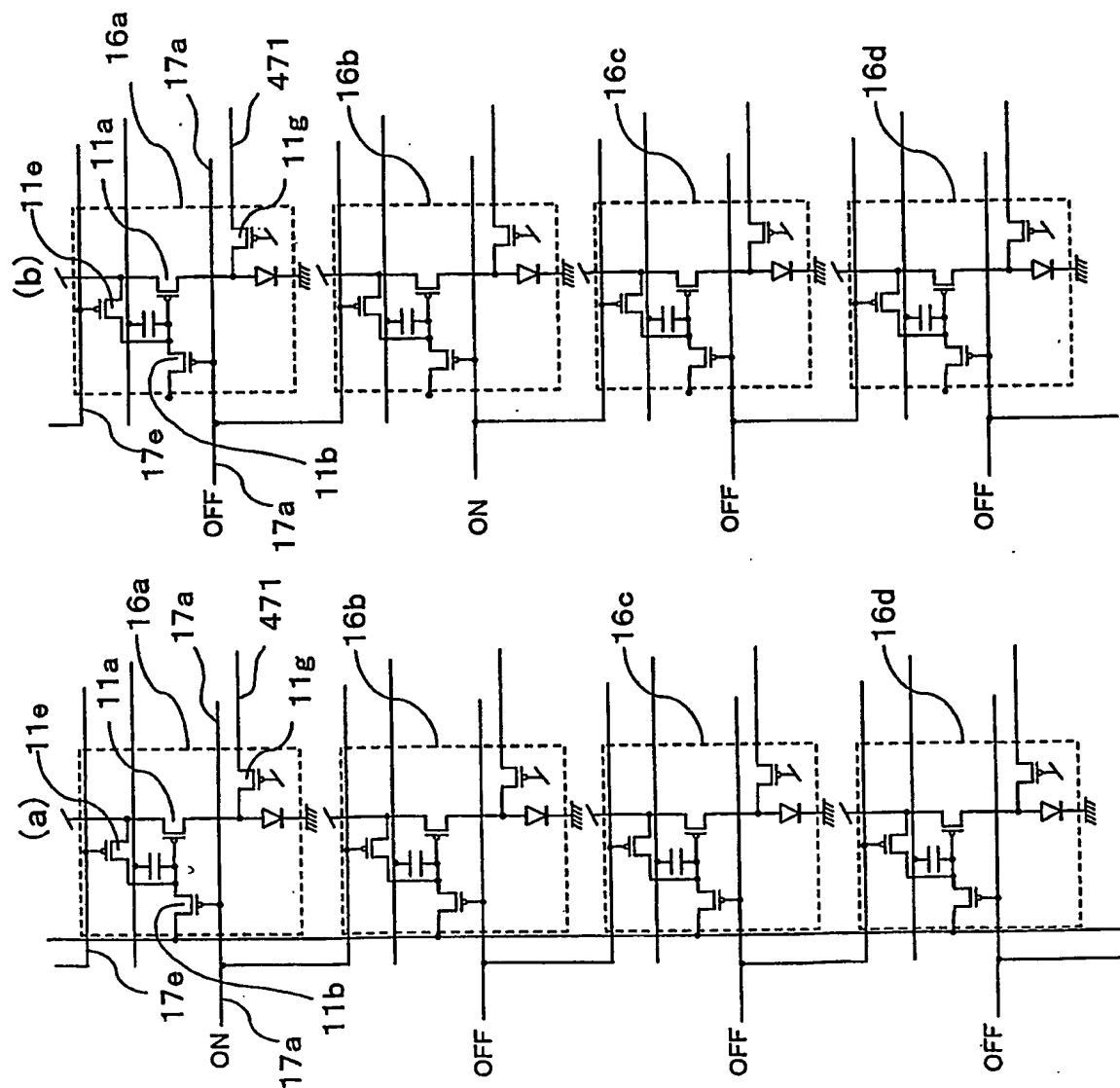
第 53 図



第 5 4 图

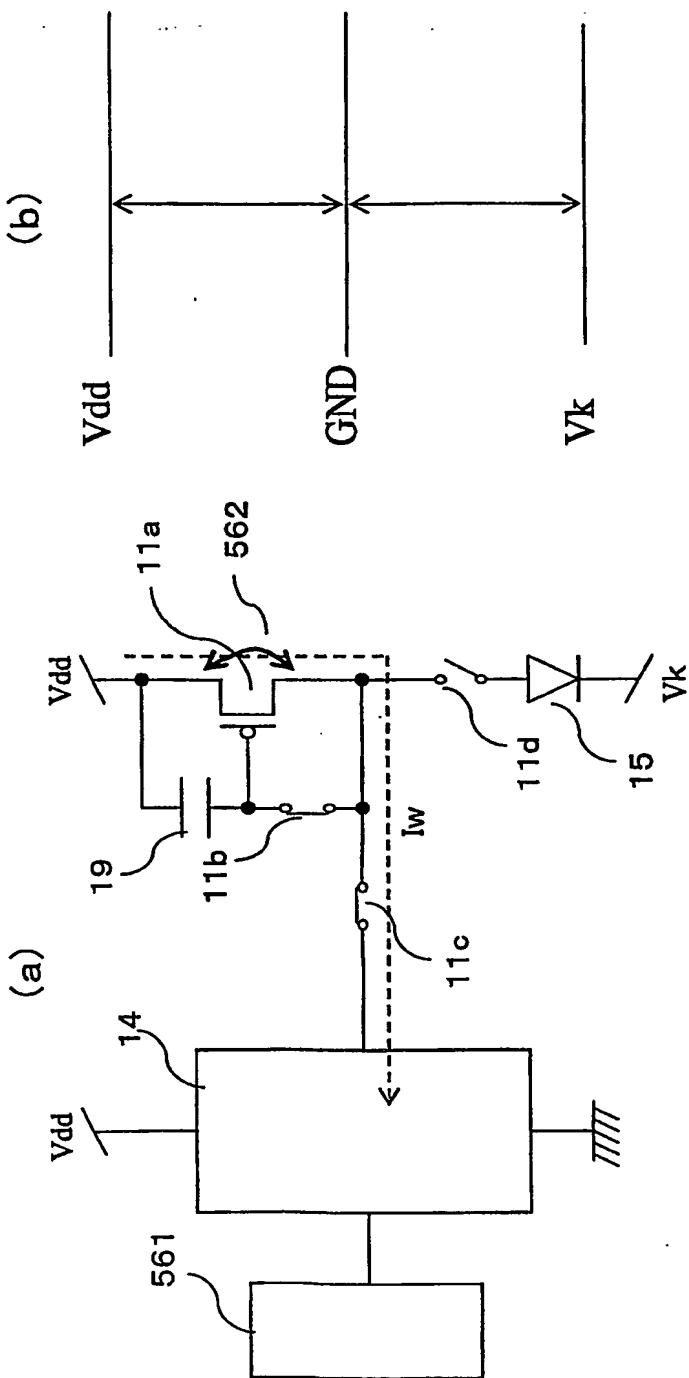


第 55 図

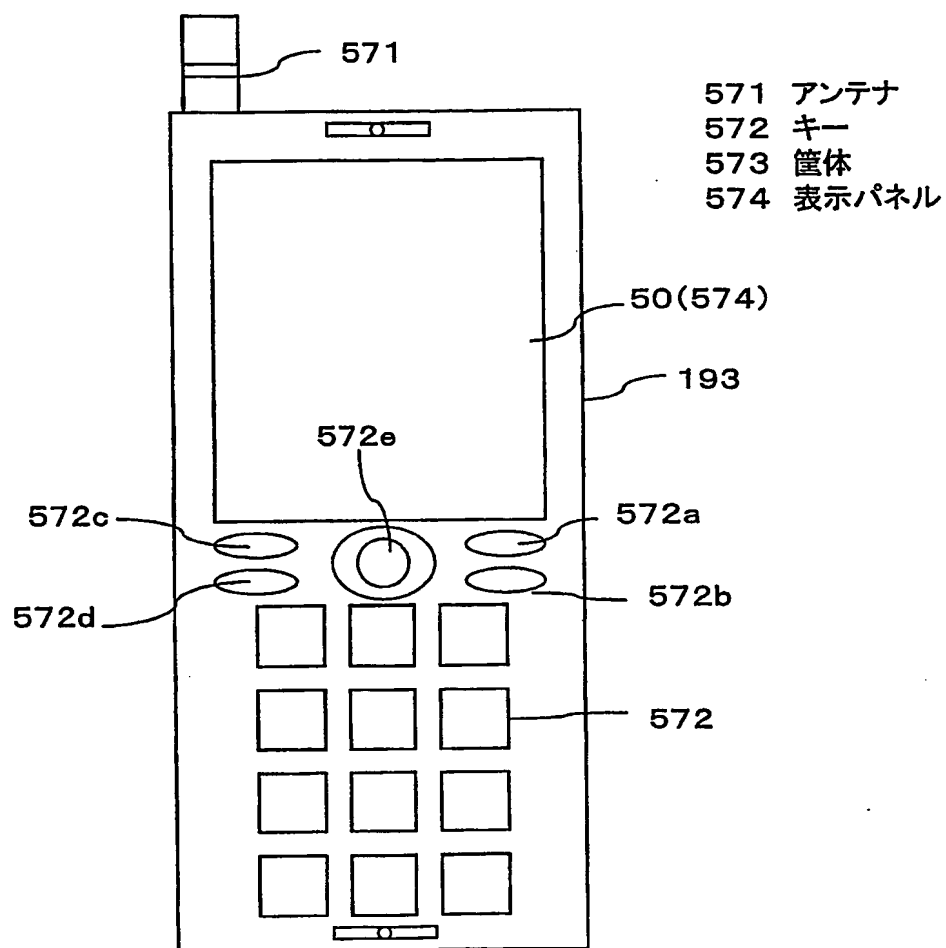


第 56 図

561 電子ポリウム回路
562 TFTのSD(ソースドレイン)ショート

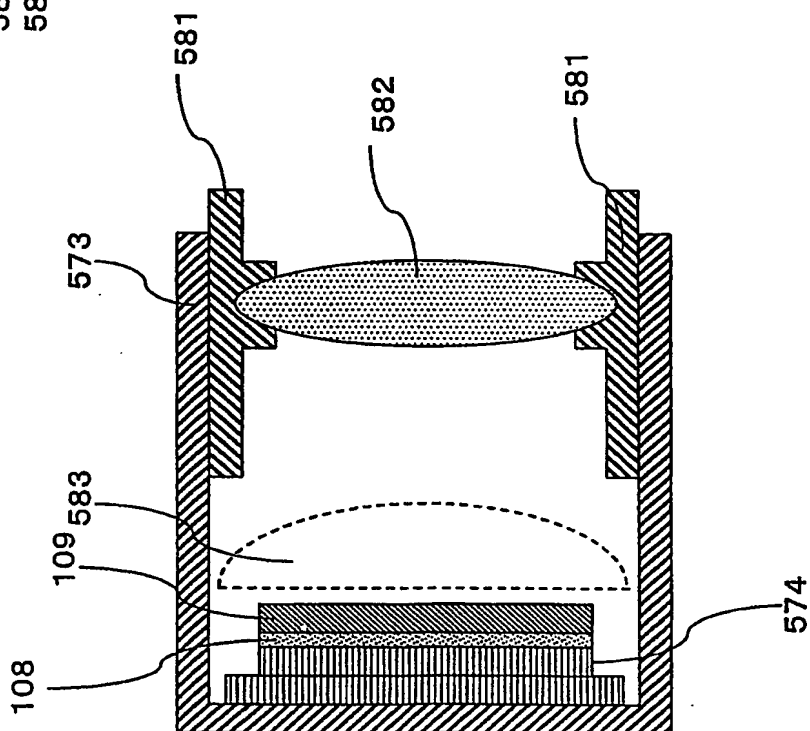


第 57 図

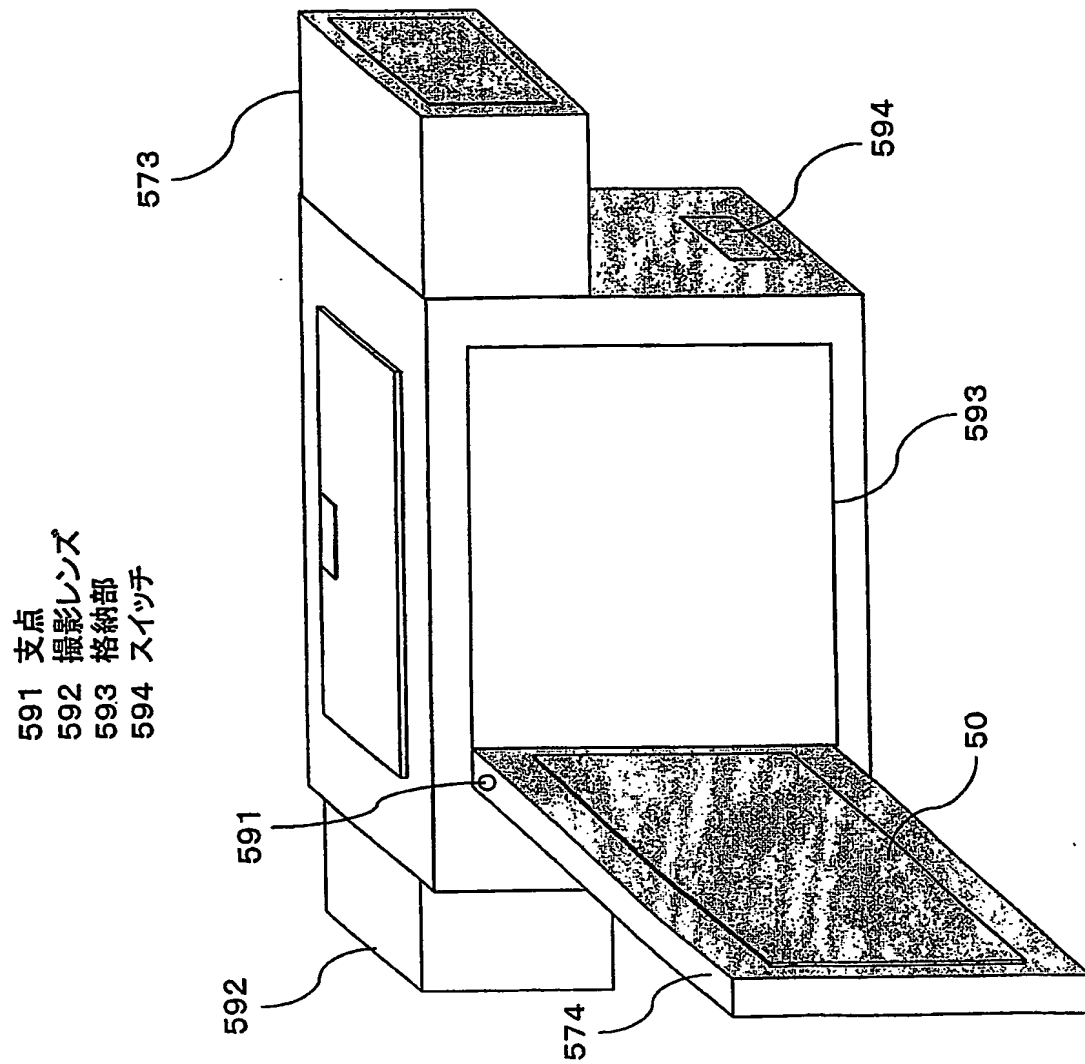


第 58 図

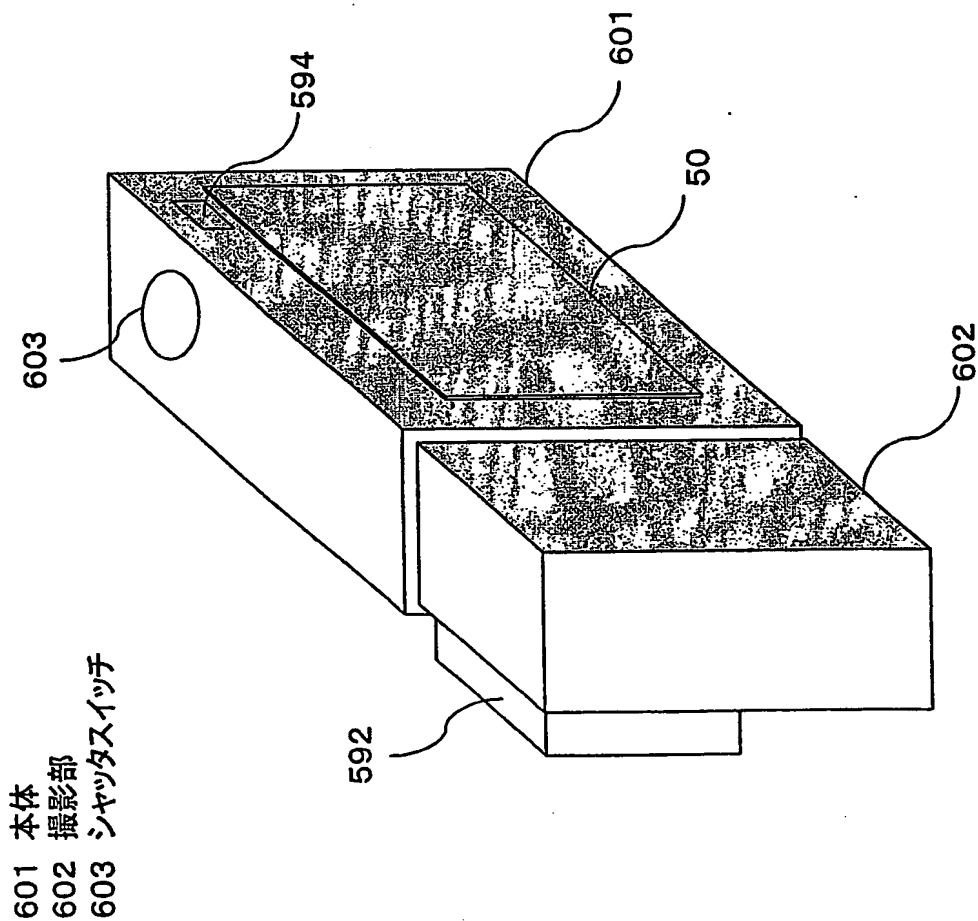
581 接眼リング
582 拡大レンズ
583 凸レンズ



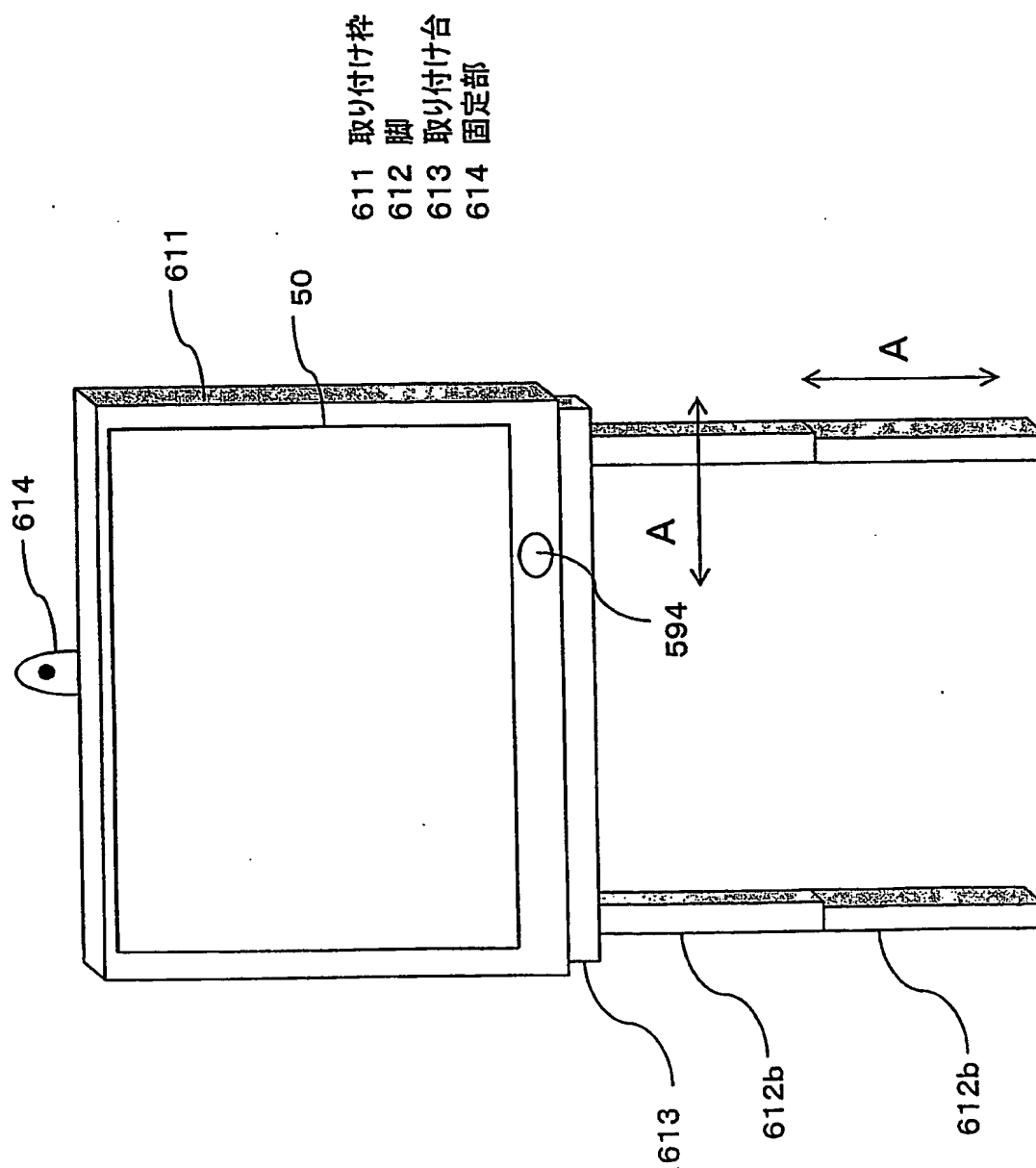
第 59 図



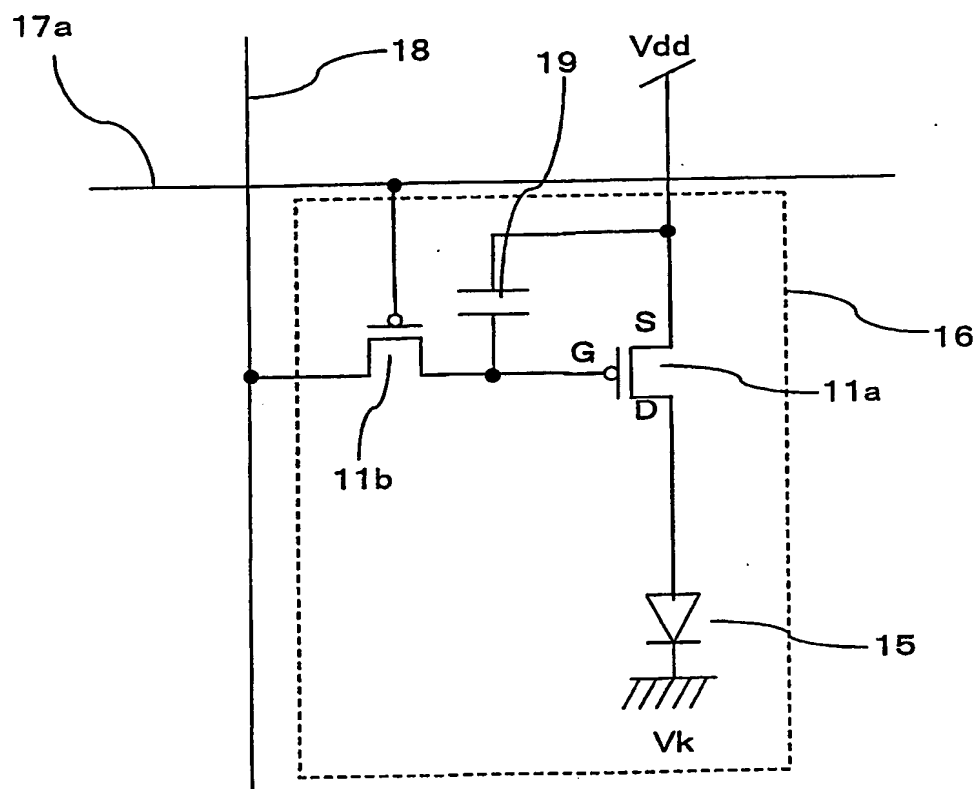
第 60 図



第 61 図

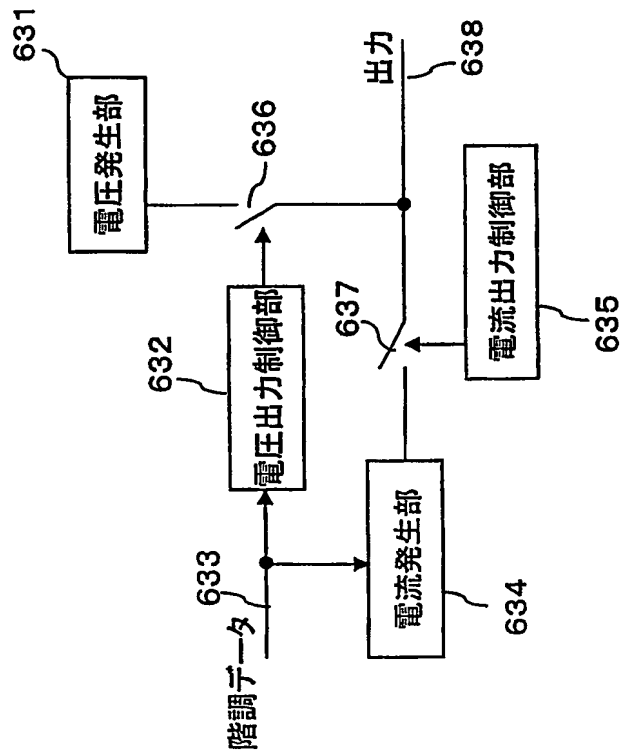


第 6 2 図



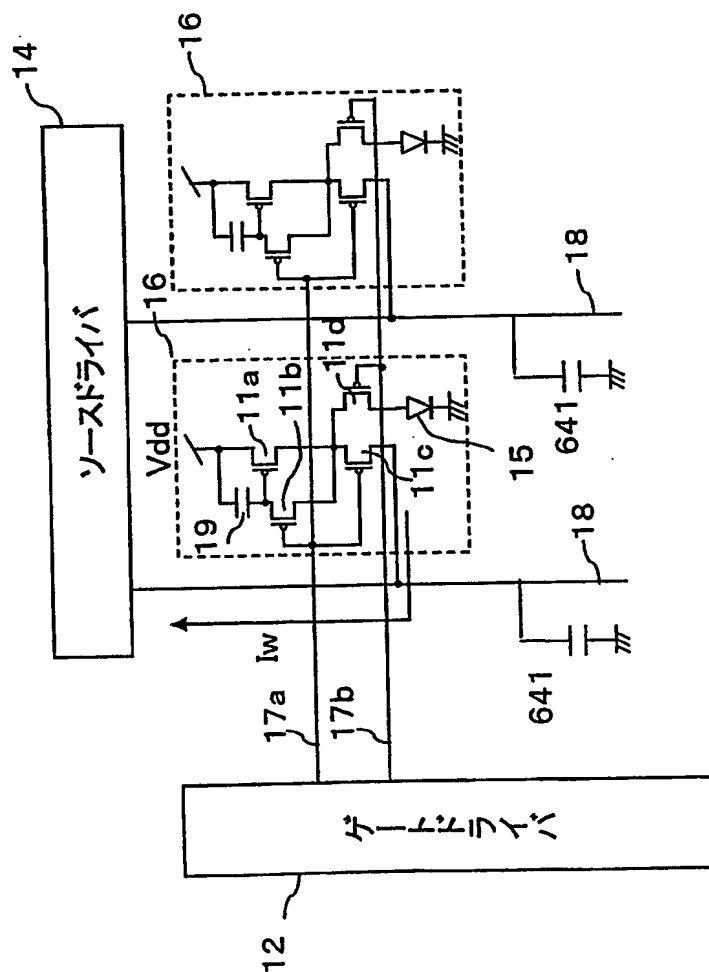
第 63 図

- 631 電圧発生部(プリチャージ電圧発生回路)
632 電圧出力制御部
633 階調データ信号配線
634 電流発生部(階調電流発生回路)
635 電流出力制御部
636 プリチャージスイッチ(アナログスイッチ)
637 出力電流スイッチ(アナログスイッチ)
638 内部配線



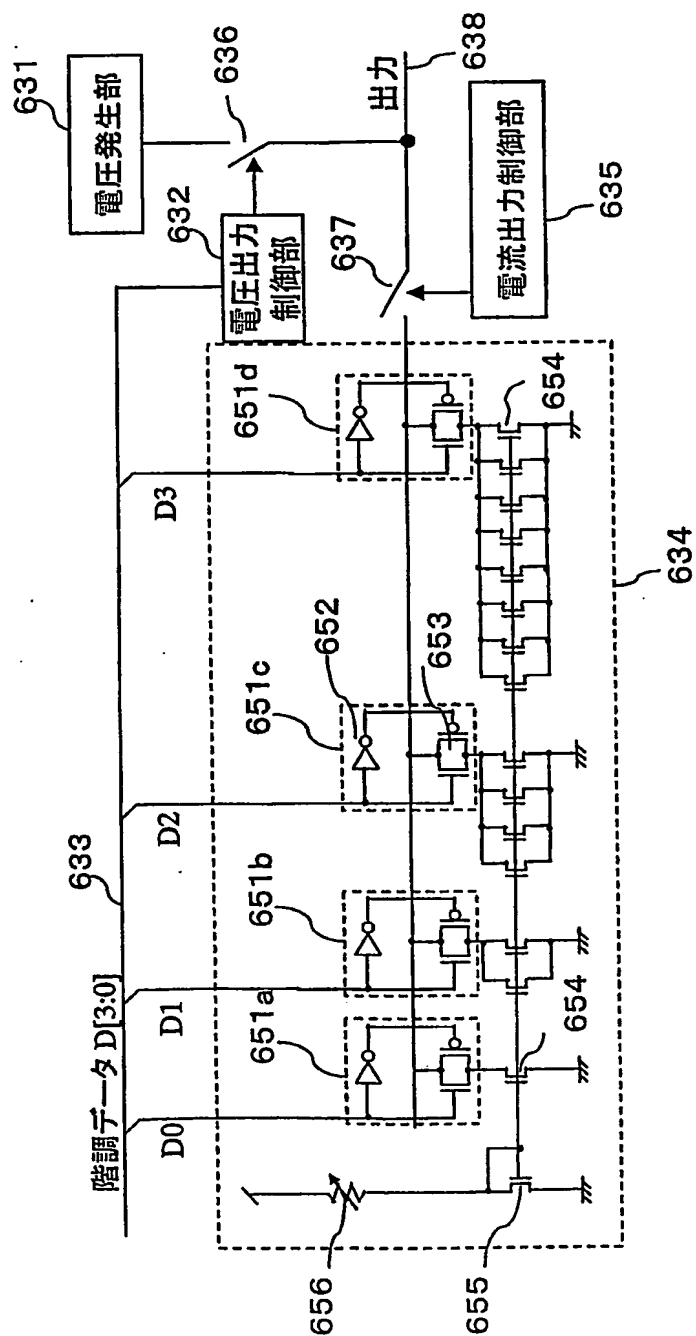
第 6 4 図

641 浮遊容量



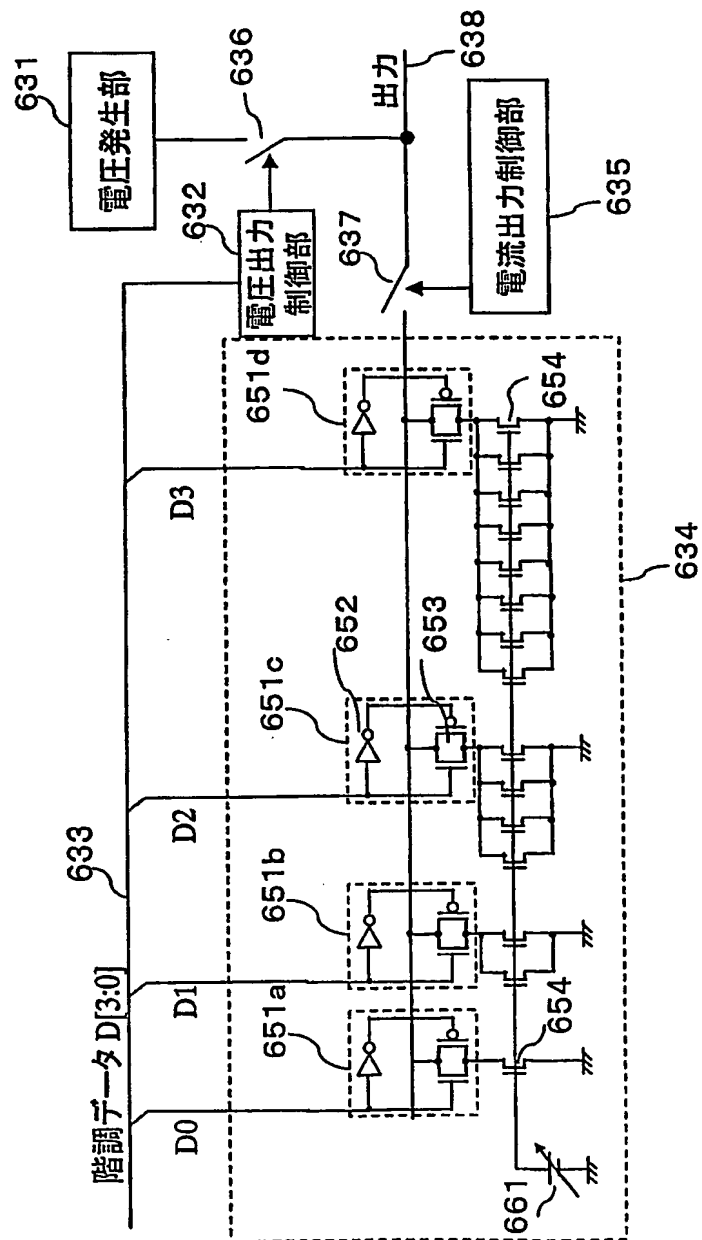
第 65 図

- 651 スイッチ回路
 652 インバータ
 653 アナログスイッチ
 654 単位電流源
 655 トランジスタ
 656 可変抵抗



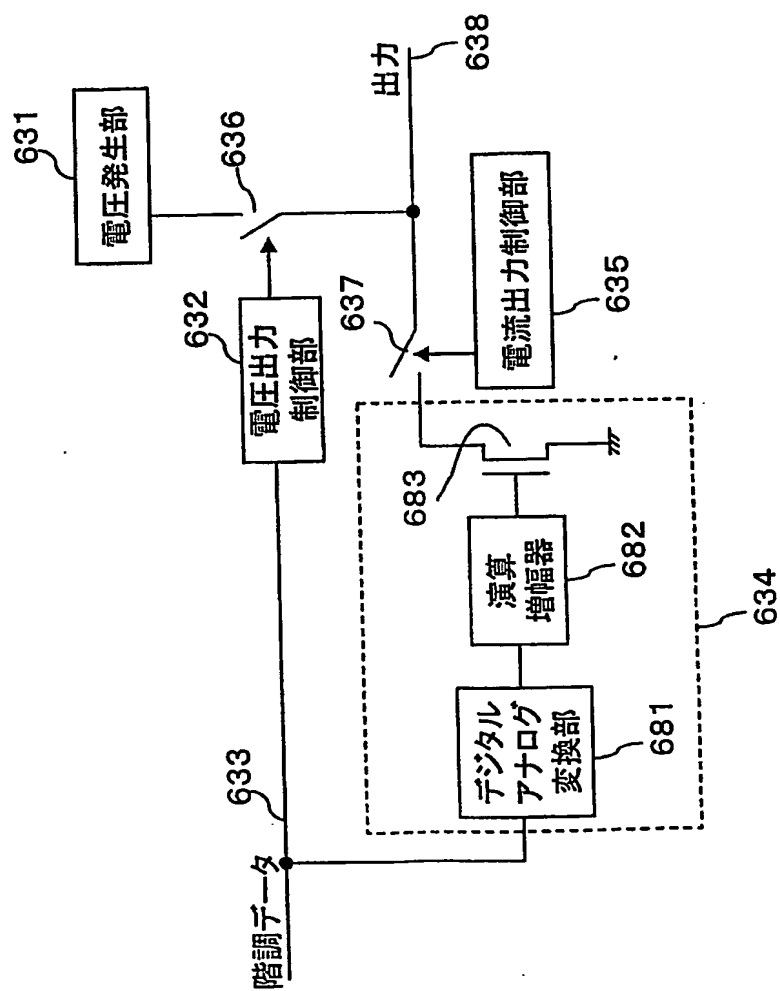
第 66 図

661 電圧可変回路



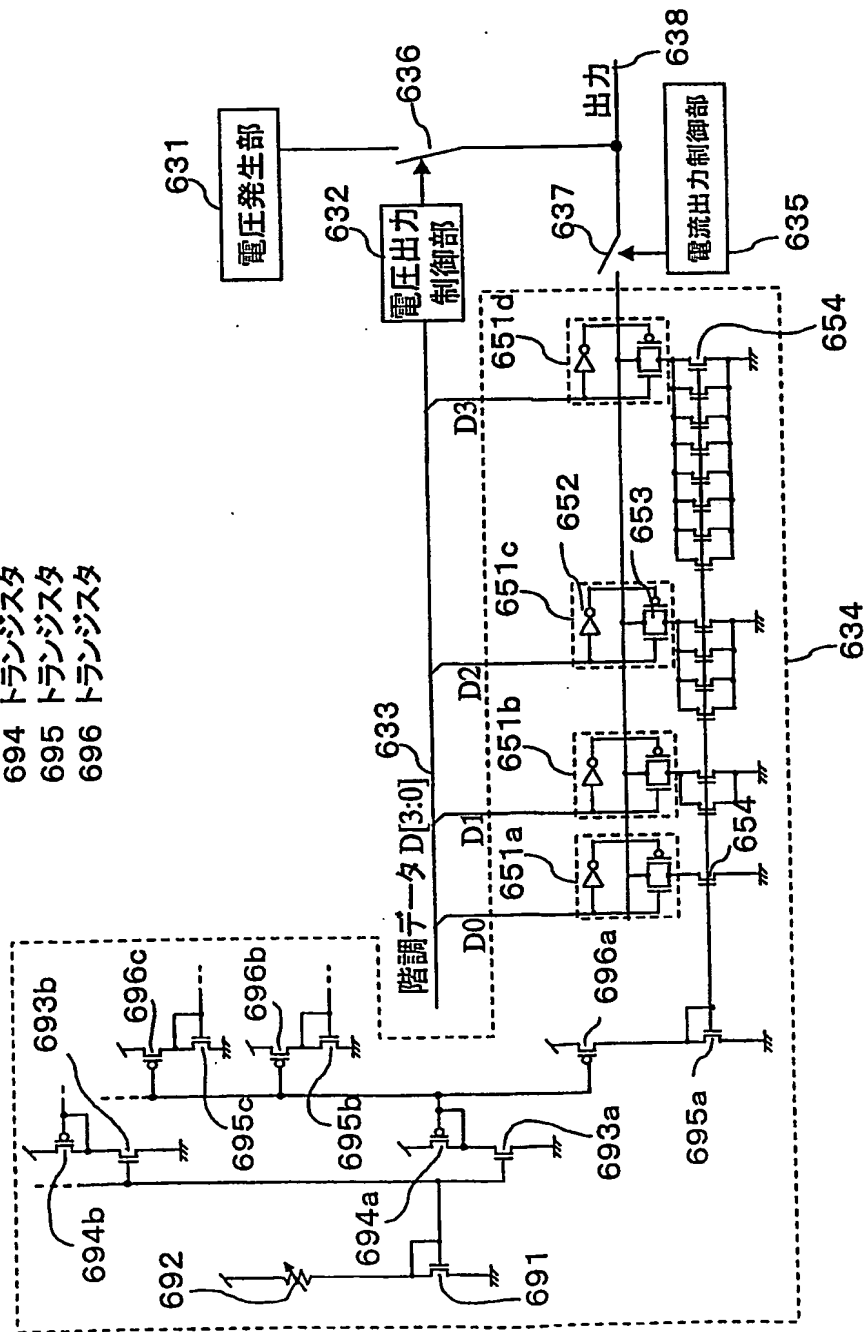
第 68 図

681 DA変換回路
682 演算増幅器(電圧処理回路)
683 トランジスタ

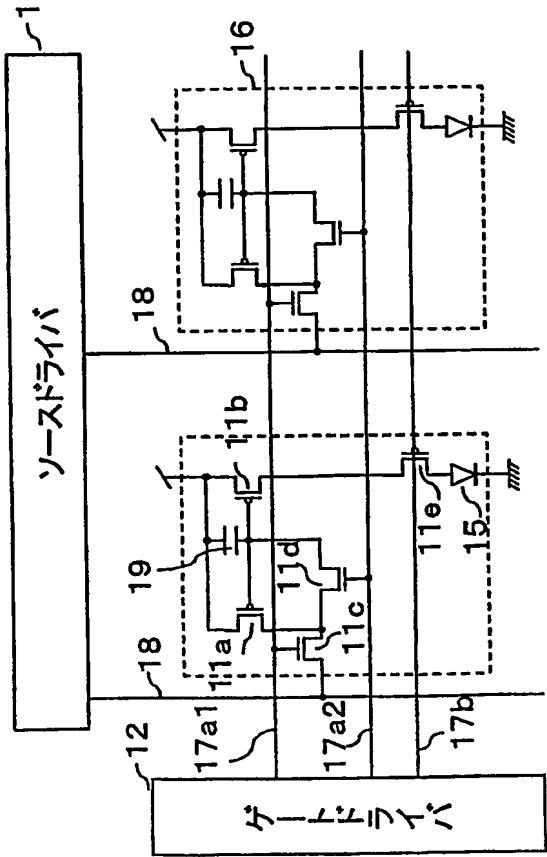


第 69 図

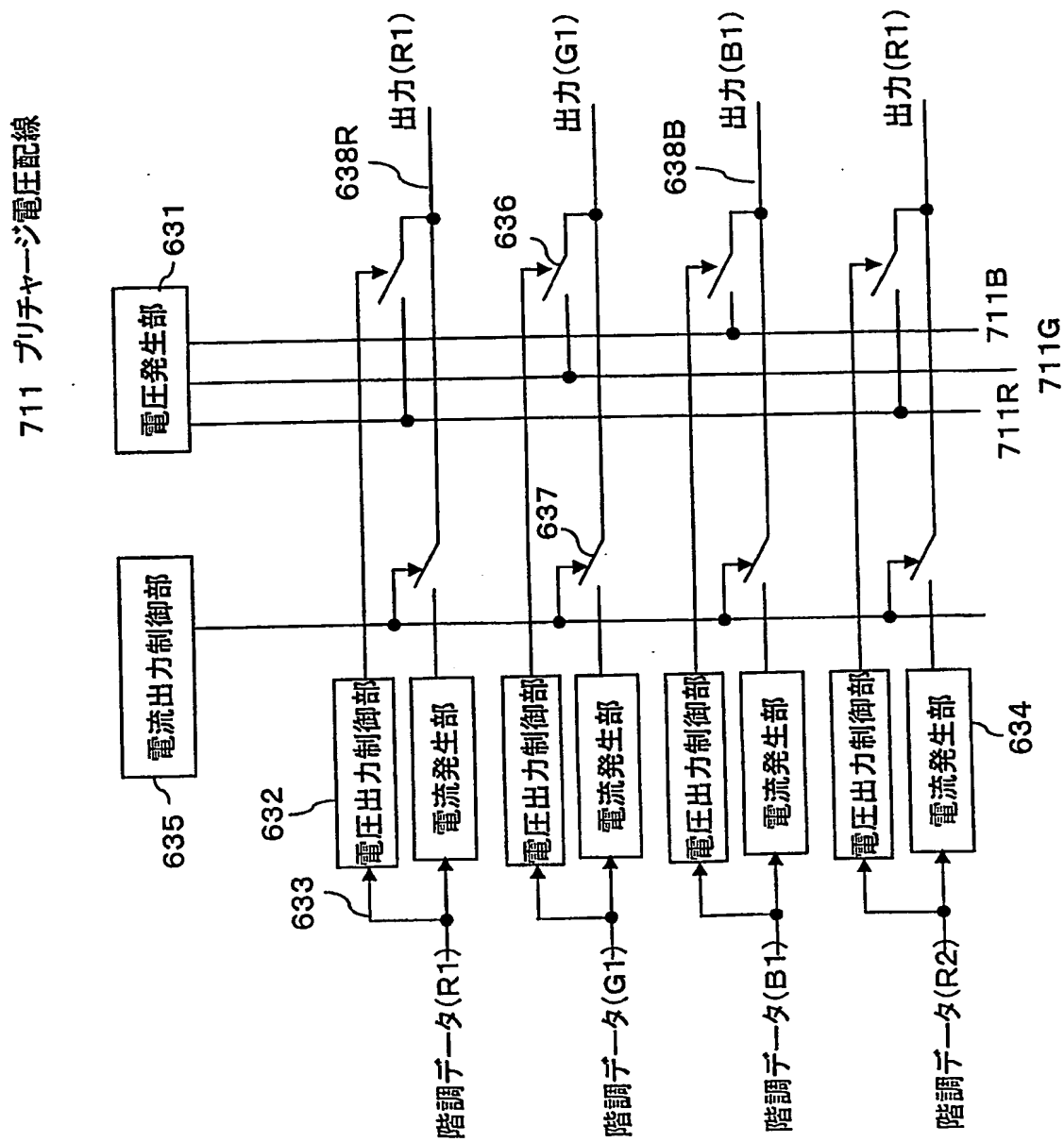
691 トランジスタ
692 可変抵抗
693 トランジスタ
694 トランジスタ
695 トランジスタ
696 トランジスタ



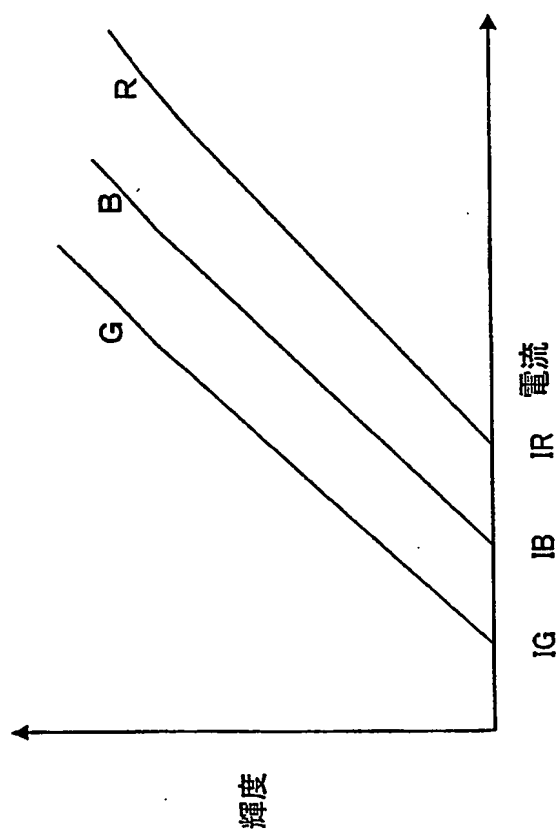
第 70 図



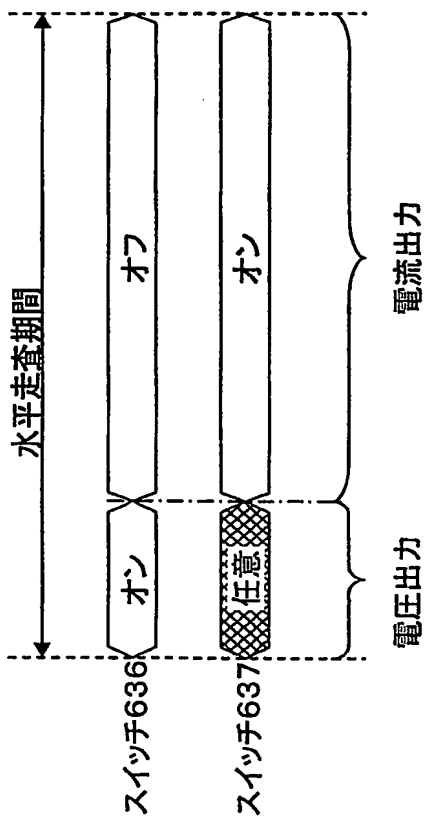
第 7 1 図



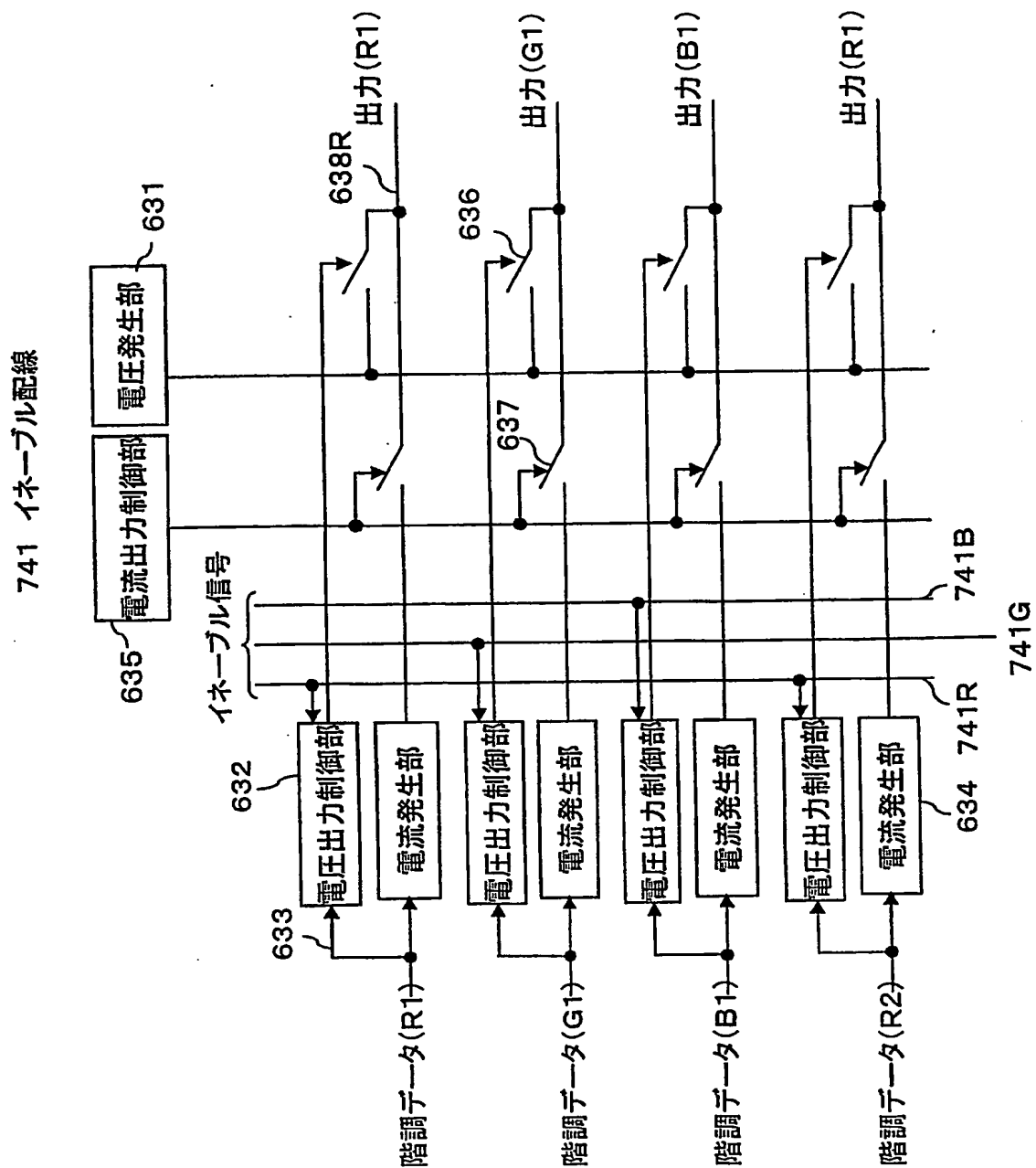
第 7 2 図



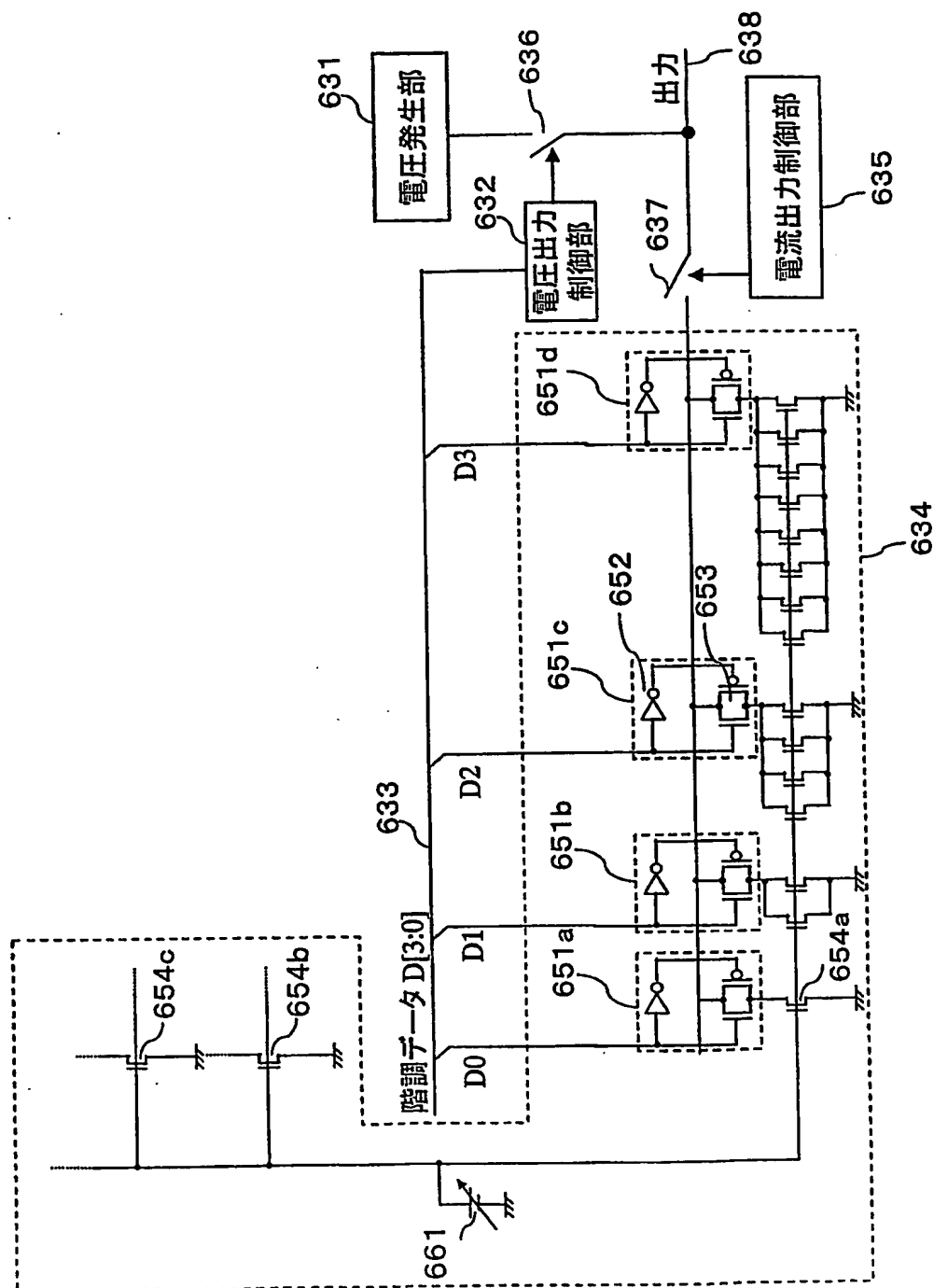
第 7 3 図



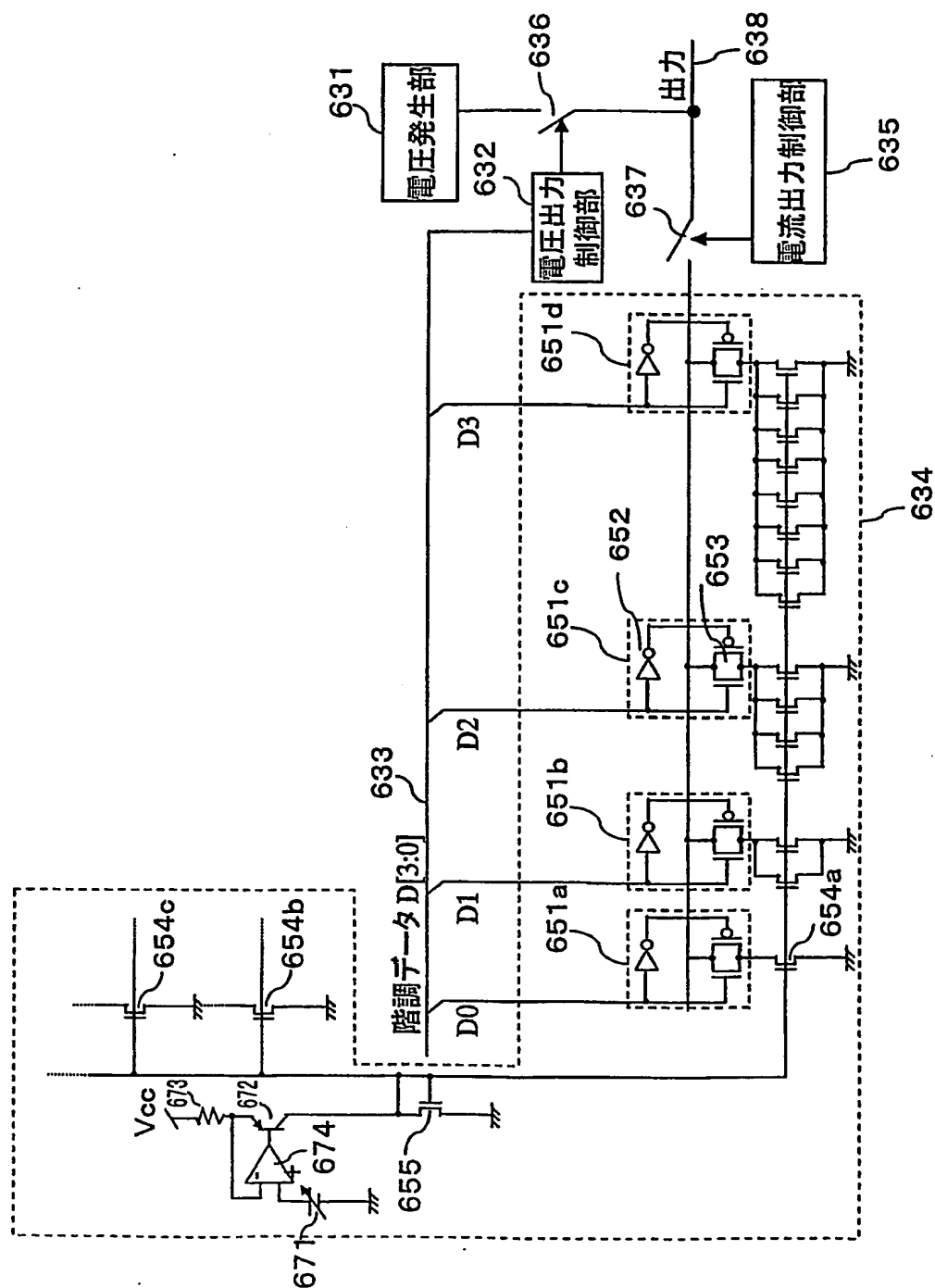
第 7 4 図



第 75 図



第 7 6 図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/09112

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/30, 3/20, 3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/30, 3/20, 3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 99/65011 A2 (Koninklijke Philips Electronics N.V.), 16 December, 1999 (16.12.99), Full text; all drawings & JP 2002-517806 A	1-6, 8-14
Y	WO 99/65012 A2 (Koninklijke Philips Electronics N.V.), 16 December, 1999 (16.12.99), Full text; all drawings & JP 2002-518691 A	1-6, 8-14
Y	JP 11-265162 A (Seiko Epson Corp.), 28 September, 1999 (28.09.99), Column 3, lines 34 to 48; column 34, lines 39 to 45 (Family: none)	1-6, 8-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 October, 2002 (09.10.02)	Date of mailing of the international search report 29 October, 2002 (29.10.02)
--	---

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09112

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 821490 A1 (Seiko Epson Corp.), 28 January, 1998 (28.01.98), Page 29, line 17 to page 31, line 22; Figs. 46 to 49 & JP 10-11032 A & WO 97/29548 A1 & US 5903234 A1	1-4, 6, 8-14
Y	EP 737957 A1 (Sony Corp.), 16 October, 1996 (16.10.96), Full text; all drawings & JP 8-286639 A & US 5959600 A	1-3, 5, 6, 8-14
Y	JP 63-290413 A (Matsushita Electric Industrial Co., Ltd.), 28 November, 1988 (28.11.88), Page 2, upper right column, line 15 to lower right column, line 18 (Family: none)	13
A	WO 98/48403 A1 (Sarnoff Corp.), 29 October, 1998 (29.10.98), Full text; all drawings & JP 2002-514320 A	1-14

国際調査報告

国際出願番号 PCT/JPO2/09112

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, 3/20, 3/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G3/30, 3/20, 3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONIC S.N.V.) 1999. 12. 16、全文全図 & JP 2002-517806 A	1-6、8-14
Y	WO 99/65012 A2 (KONINKLIJKE PHILIPS ELECTRONIC S.N.V.) 1999. 12. 16、全文全図 & JP 2002-518691 A	1-6、8-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09. 10. 02

国際調査報告の発送日

29.10.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴野 幹夫



2G

8621

電話番号 03-3581-1101 内線 6489

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-265162 A (セイコーエプソン株式会社) 1999. 09. 28、第3欄第34行-第48行、第34欄第39行-第45行 (ファミリー無し)	1-6、8-14
Y	EP 821490 A1 (SEIKO EPSON CORP.) 1998. 01. 28、第29頁第17行-第31頁第22行、図46-49 & JP 10-11032 A & WO 97/29548 A1 & US 5903234 A1	1-4、6、8-14
Y	EP 737957 A1 (SONY CORP.) 1996. 10. 16、全文全図 & JP 8-286639 A & US 5959600 A	1-3、5、6、8-14
Y	JP 63-290413 A (松下電器産業株式会社) 1988. 11. 28、第2頁右上欄第15行-右下欄第18行 (ファミリー無し)	13
A	WO 98/48403 A1 (SARNOFF CORP.) 1998. 10. 29 全文全図 & JP 2002-514320 A	1-14